

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 2月22日

出 願 番 号  
Application Number:

特願2000-045256

出 願 人  
Applicant(s):

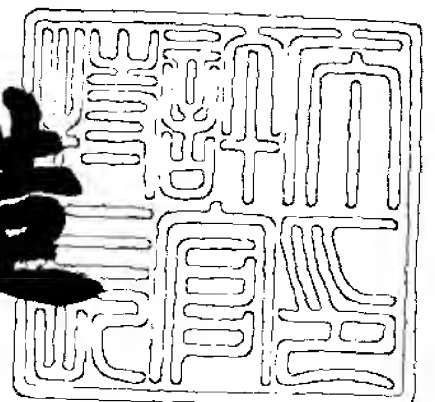
株式会社半導体エネルギー研究所



2000年12月22日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3106423

【書類名】 特許願

【整理番号】 P004637-03

【提出日】 平成12年 2月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小沼 利光

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 丸山 純矢

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自発光装置及びその作製方法

【特許請求の範囲】

【請求項 1】

T F T 並びに該 T F T に電氣的に接続された画素電極、前記画素電極上に形成される E L 層及び前記 E L 層上に形成される陰極からなる E L 素子を有する自発光装置において、電極ホールに絶縁体からなる保護部が設けられていることを特徴とする自発光装置。

【請求項 2】

T F T 並びに該 T F T に電氣的に接続された画素電極、前記画素電極上に形成される E L 層及び前記 E L 層上に形成される陰極からなる E L 素子を有する自発光装置において、電極ホールに設けられた保護部が前記画素電極と前記 E L 層に挟まれていることを特徴とする自発光装置。

【請求項 3】

T F T 並びに該 T F T に電氣的に接続された画素電極、前記画素電極上に形成される E L 層及び前記 E L 層上に形成される陰極からなる E L 素子を有する自発光装置において、電極ホールに形成された保護部が絶縁体からなり、前記画素電極及び前記保護部の表面に前記 E L 層が形成されている構造を特徴とする自発光装置。

【請求項 4】

T F T 並びに該 T F T に電氣的に接続された画素電極、前記画素電極上に形成される E L 層及び前記 E L 層上に形成される陰極からなる E L 素子を有する自発光装置において、前記 E L 層及び保護部が前記画素電極と前記陰極の間に挟まれる構造を有することを特徴とする自発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、前記画素電極及び前記保護部の表面が同一に平坦化されている構造を特徴とする自発光装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一に記載の自発光装置を表示部もしくは光源

として用いることを特徴とする電気器具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、陽極、陰極及びそれらの間に E L (Electro Luminescence) が得られる発光性有機材料（以下、有機 E L 材料という）を挟んだ構造からなる E L 素子を絶縁体上に形成した自発光装置及びその自発光装置を表示部（表示ディスプレイまたは表示モニター）として有する電気器具の作製方法に関する。なお、本明細書中では上記自発光装置として E L 表示装置を説明する。

【0002】

【従来の技術】

近年、発光性有機材料の E L 現象を利用した自発光素子として E L 素子を用いた表示装置（E L 表示装置）の開発が進んでいる。E L 表示装置は自発光型であるため、液晶表示装置のようなバックライトが不要であり、さらに視野角が広いことから電気器具の表示部として有望視されている。

【0003】

E L 表示装置にはパッシブ型（単純マトリクス型）とアクティブ型（アクティブマトリクス型）の二種類があり、どちらも盛んに開発が行われている。特に現在ではアクティブマトリクス型 E L 表示装置が注目されている。また、E L 素子の中心とも言える E L 層となる有機 E L 材料は、低分子系有機 E L 材料と高分子系（ポリマー系）有機 E L 材料とが研究されているが、低分子系有機 E L 材料よりも取り扱いが容易で耐熱性の高いポリマー系有機 E L 材料が注目されている。

【0004】

この有機 E L 材料を溶媒に溶解させた液体を、塗布することで E L 層が形成（成膜）される。なお、この液体を本明細書中では塗布液という。

【0005】

塗布液は、スピナを用いた塗布方式で塗布することで膜厚のコントロールが可能であるとされている。しかし、スピン塗布方式の際に塗布面が平坦化されていないと塗布液が均一な膜厚に成膜できなくなるという問題が生じる。

【0006】

さらに、EL層の膜厚が均一でなく、段差部分でEL層が一部成膜されていない場合には、陰極、EL層、陽極からなるEL素子を形成した際に、陰極と陽極間が電氣的に短絡してしまう。

【0007】

陰極と陽極の間で短絡が生じた場合には、陰極と陽極の間で電流が集中して流れてしまい、EL層を介する電流がほとんど流れなくなる。これにより、EL層が発光しなくなる。

【0008】

【発明が解決しようとする課題】

本発明は上記問題点を鑑みてなされたものであり、EL素子における構造を改良しEL表示装置を作製する方法を提供することを課題とする。さらに、このようなEL表示装置を表示部として有する電気器具を提供することを課題とする。

【0009】

【課題を解決するための手段】

上記課題を達成するために、本発明ではEL層を形成する塗布液を塗布する際に塗布面の凹凸部を平坦化するように絶縁体を埋め込みEL素子における陰極と陽極間の短絡を防ぐ構造にする。ここで本発明におけるEL表示装置の画素部の断面構造を図1に示す。

【0010】

図1(A)に示されるのは、画素電極40に電氣的に接続される電流制御用TFTである。電流制御用TFTは、基板11上に下地膜12が形成された後、ソース領域31、ドレイン領域32及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0011】

次に、38は第1パッシベーション膜であり、膜厚は10nm～1 $\mu$ m（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（

特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。

#### 【0012】

第1パッシベーション膜38の上には、各TFTを覆うような形で第2層間絶縁膜(平坦化膜と言っても良い)39を形成し、TFTによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂及びシロキサンの高分子化合物を含む樹脂といった材料を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

#### 【0013】

第2層間絶縁膜39によってTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

#### 【0014】

また、40は透明導電膜からなる画素電極(EL素子の陽極に相当する)であり、第2層間絶縁膜39及び第1パッシベーション膜38にコンタクトホール(開孔)を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線37に接続されるように形成される。

#### 【0015】

本願発明では、画素電極として酸化インジウムと酸化スズの化合物からなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物や酸化亜鉛と酸化ガリウムの化合物を用いることもできる。

#### 【0016】

なお、コンタクトホール上に画素電極を形成した後に生じる凹部46を本明細書中では、電極ホールと呼ぶことにする。画素電極を形成したら、EL層を形成するためにEL材料が成膜されるが、このとき電極ホール46において図1(B)に示すように薄膜領域47のEL層の膜厚が薄くなる。膜厚が薄くなる程度は、電極ホールのテーパー角にもよるが、塗布面のうち塗布方向に対して垂直でな

い部分は、塗布面全体に比べると塗布されにくく膜厚が薄くなる傾向がある。

【 0 0 1 7 】

しかし、ここで成膜される E L 層が薄くなり、なおかつ断絶された部分が生じた際には、E L 素子中の陰極と陽極が短絡して、この短絡部分に電流が集中して流れてしまう。これにより E L 層に電流が流れなくなってしまうので E L 素子が発光しなくなる。

【 0 0 1 8 】

そこで E L 素子中の陰極と陽極の短絡を防ぐために、画素電極上に電極ホール 4 6 を十分に埋めこむように有機樹脂膜を成膜し、これをパターニングすることで保護部 4 1 b を形成させる。つまり、保護部 4 1 b は電極ホールを埋め込むように形成される。

【 0 0 1 9 】

有機樹脂膜は、スピンコート法により成膜し、レジストマスクを用いて露光した後、エッチングを行うことにより図 1 (C) に示すような保護部 4 1 b を形成させる。

【 0 0 2 0 】

なお、保護部 4 1 b は、断面から見て画素電極よりも盛り上がっている部分（図 1 (C) の D a に示す部分）の厚さが 0. 1 ~ 1  $\mu$  m、好ましくは 0. 1 ~ 0. 5  $\mu$  m、さらに好ましくは 0. 1 ~ 0. 3  $\mu$  m となるのがよい。

【 0 0 2 1 】

また、保護部 4 1 b には、有機樹脂が好ましく、ポリイミド、ポリアミド、アクリル樹脂およびシロキサン的高分子化合物を含む樹脂といった材料を用いると良い。さらに、これらの有機樹脂を用いる際には、粘度を  $10^{-3}$  Pa  $\cdot$  s ~  $10^{-1}$  Pa  $\cdot$  s とするとよい。

【 0 0 2 2 】

保護部 4 1 b が形成された後、図 1 (C) に示すように E L 層 4 2 が形成され、さらに陰極 4 3 が形成される。

【 0 0 2 3 】

以上のようにして図 1 (C) に示す様な構造とすることで、電極ホール 4 6 の



段差部分で、E L 層 4 2 が切断された際に生じる画素電極 4 0 と陰極 4 3 間での短絡の問題を解決することができる。

#### 【 0 0 2 4 】

##### 【発明の実施の形態】

本発明の実施の形態について、図 2、図 3 を用いて説明する。図 2 に示したのは本発明である E L 表示装置の画素部の断面図であり、図 3 (A) はその上面図、図 3 (B) はその回路構成である。実際には画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。なお、図 3 (A) を A - A' で切断した断面図が図 2 に相当する。従って図 2 及び図 3 で共通の符号を用いているので、適宜両図面を参照すると良い。また、図 3 の上面図では二つの画素を図示しているが、どちらも同じ構造である。

#### 【 0 0 2 5 】

図 2 において、1 1 は基板、1 2 は下地となる絶縁膜（以下、下地膜という）である。基板 1 1 としてはガラス、ガラスセラミックス、石英、シリコン、セラミックス、金属若しくはプラスチックからなる基板を用いることができる。

#### 【 0 0 2 6 】

また、下地膜 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 1 2 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$  で示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

#### 【 0 0 2 7 】

また、下地膜 1 2 に放熱効果を持たせることにより T F T の発熱を発散させることは T F T の劣化又は E L 素子の劣化を防ぐためにも有効である。放熱効果を持たせるには公知のあらゆる材料を用いることができる。

#### 【 0 0 2 8 】

ここでは画素内に二つの T F T を形成している。2 0 1 はスイッチング用 T F T であり、n チャネル型 T F T で形成され、2 0 2 は電流制御用 T F T であり、



pチャネル型TFTで形成されている。

【0029】

ただし、本発明において、スイッチング用TFTをnチャネル型TFT、電流制御用TFTをpチャネル型TFTに限定する必要はなく、スイッチング用TFTをpチャネル型TFT、電流制御用TFTをnチャネル型TFTにしたり、両方ともnチャネル型又pチャネル型TFTを用いることも可能である。

【0030】

スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a～15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

【0031】

また、図3に示すように、ゲート電極19a、19bは別の材料（ゲート電極19a、19bよりも低抵抗な材料）で形成されたゲート配線211によって電氣的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、シングルゲートもしくはトリプルゲート構造といったいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング素子201をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0032】

また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

【0033】

さらに、スイッチング用TFT201においては、LDD領域15a～15dは、ゲート絶縁膜18を挟んでゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

## 【 0 0 3 4 】

なお、チャネル形成領域と L D D 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層からなり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

## 【 0 0 3 5 】

次に、電流制御用 T F T 2 0 2 は、ソース領域 3 1、ドレイン領域 3 2 及びチャネル形成領域 3 4 を含む活性層、ゲート絶縁膜 1 8、ゲート電極 3 5、第 1 層間絶縁膜 2 0、ソース配線 3 6 並びにドレイン配線 3 7 を有して形成される。なお、ゲート電極 3 5 はシングルゲート構造となっているが、マルチゲート構造であっても良い。

## 【 0 0 3 6 】

図 2 に示すように、スイッチング用 T F T のドレインは電流制御用 T F T 2 0 2 のゲートに接続されている。具体的には電流制御用 T F T 2 0 2 のゲート電極 3 5 はスイッチング用 T F T 2 0 1 のドレイン領域 1 4 とドレイン配線（接続配線とも言える）2 2 を介して電氣的に接続されている。また、ソース配線 3 6 は電源供給線 2 1 2 に接続される。

## 【 0 0 3 7 】

電流制御用 T F T 2 0 2 は E L 素子 2 0 3 に注入される電流量を制御するための素子であるが、E L 素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用 T F T 2 0 2 に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり  $0.5 \sim 2 \mu A$ （好ましくは  $1 \sim 1.5 \mu A$ ）となるようにする。

## 【 0 0 3 8 】

また、スイッチング用 T F T 2 0 1 に形成される L D D 領域の長さ（幅）は  $0.5 \sim 3.5 \mu m$ 、代表的には  $2.0 \sim 2.5 \mu m$  とすれば良い。

## 【 0 0 3 9 】

また、図 3 に示すように電流制御用 T F T 2 0 2 のゲート電極 3 5 となる配線

3 6 は 5 0 で示される領域で絶縁膜を介して電流制御用 T F T 2 0 2 のドレイン配線 3 2 と電氣的に接続された電源供給線 2 1 2 と重なる。このとき 5 0 で示される領域ではコンデンサが形成され、電流制御用 T F T 2 0 2 のゲート電極 3 5 にかかる電圧を保持するための保持容量として機能する。保持容量 5 0 は電源供給線 2 1 2 と電氣的に接続された半導体膜 5 1、ゲート電極と同一層の絶縁膜（図示せず）及び配線 3 6 との間で形成される。また、配線 3 6、第一層間絶縁膜と同一の層（図示せず）及び電源供給線 2 1 2 で形成される容量も保持容量として用いることが可能である。なお、電流制御用 T F T のドレインは、電源供給線 2 1 2 に接続され、常に一定の電圧が加えられている。

#### 【 0 0 4 0 】

また、流しうる電流量を多くするという観点から見れば、電流制御用 T F T 2 0 2 の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは 5 0 ～ 1 0 0 n m、さらに好ましくは 6 0 ～ 8 0 n m）ことも有効である。逆に、スイッチング用 T F T 2 0 1 の場合はオフ電流値を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは 2 0 ～ 5 0 n m、さらに好ましくは 2 5 ～ 4 0 n m）ことも有効である。

#### 【 0 0 4 1 】

次に、3 8 は第 1 パッシベーション膜であり、膜厚は 1 0 n m ～ 1  $\mu$  m（好ましくは 2 0 0 ～ 5 0 0 n m）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。

#### 【 0 0 4 2 】

第 1 パッシベーション膜 3 8 の上には、各 T F T を覆うような形で第 2 層間絶縁膜（平坦化膜と言っても良い）3 9 を形成し、T F T によってできる段差の平坦化を行う。第 2 層間絶縁膜 3 9 としては、有機樹脂を材料とする有機樹脂膜が好ましく、アクリル樹脂、ポリイミド、ポリアミドおよびシロキサン的高分子化合物を含む樹脂といった材料を用いると良い。勿論、十分な平坦化が可能であれば、無機材料からなる膜を用いても良い。

#### 【 0 0 4 3 】

第 2 層間絶縁膜 3 9 によって T F T による段差を平坦化することは非常に重要

である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

#### 【 0 0 4 4 】

また、4 0 は透明導電膜からなる画素電極（E L 素子の陽極に相当する）であり、第 2 層間絶縁膜 3 9 及び第 1 パッシベーション膜 3 8 にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用 T F T 2 0 2 のドレイン配線 3 7 に接続されるように形成される。

#### 【 0 0 4 5 】

本実施形態では、画素電極として酸化インジウムと酸化スズの化合物からなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物を用いることもできる。

#### 【 0 0 4 6 】

次に、画素電極上の電極ホール 4 6 を埋め込むように画素電極上に有機樹脂を材料とする有機樹脂膜をスピンコート法で成膜する。なお、ここでは、有機樹脂膜としては、アクリル樹脂を用いている。

#### 【 0 0 4 7 】

また、画素電極上に有機樹脂を材料とする有機樹脂膜を形成させているが、絶縁膜となりうる絶縁体を用いても良い。なお、絶縁体としては、酸化珪素や窒化酸化珪素及び窒化珪素といった珪素を含む無機材料を用いても良い。

#### 【 0 0 4 8 】

アクリル樹脂を全面に成膜した後、レジストマスクを用いて露光し、エッチングを行うことにより図 2 に示す保護部 4 1 a、4 1 b を形成する。

#### 【 0 0 4 9 】

保護部 4 1 b は、画素電極における電極ホールがアクリル樹脂で埋め込まれている部分をさす。また、保護部 4 1 a は、画素電極間の隙間に設けられている。これは、保護部を形成するためにエッチングを行う際に、画素電極間において、第二層間絶縁膜を形成する材料が保護部を形成する材料であると第二層間絶縁膜も同時にエッチングされてしまう可能性があるためである。

## 【 0 0 5 0 】

なお、保護部 4 1 a および 4 1 b は、断面から見て画素電極よりも盛り上がっている部分の厚さが  $0.1 \sim 1 \mu\text{m}$ 、好ましくは  $0.1 \sim 0.5 \mu\text{m}$ 、さらに好ましくは  $0.1 \sim 0.3 \mu\text{m}$  となるのがよい。

## 【 0 0 5 1 】

また、保護部 4 1 a 及び 4 1 b には、有機樹脂としてアクリル樹脂を用いた場合を示したが、ポリイミド、ポリアミド、およびシクロテンのようにシロキサン的高分子化合物を含む樹脂を材料として用いても良い。さらに、これらの有機樹脂を用いる際には、粘度を  $10^{-3} \text{Pa} \cdot \text{s} \sim 10^{-1} \text{Pa} \cdot \text{s}$  とするとよい。

## 【 0 0 5 2 】

以上のようにして保護部 4 1 b を設けて、電極ホールを有機樹脂で埋め込むことで、EL 層 4 2 が切断された際に生じる画素電極 4 0（陽極）と陰極 4 3 間での短絡の問題を解決することができる。

## 【 0 0 5 3 】

保護部 4 1 b の作製方法について、図 4 を用いて説明する。

図 4（A）は、画素電極 4 0 上に有機樹脂膜を成膜した後パターニングにより保護部 4 1 b を形成させたものである。D a は、有機樹脂膜の膜厚であるが、この膜厚が薄くなると図 4（A）の保護部 4 1 b のように上部に窪みが生じる。

## 【 0 0 5 4 】

この窪みの度合いは、電極ホールのテーパ角及び有機樹脂膜の膜厚に依存するが、有機樹脂膜の膜厚が極端に薄くなると電極ホールを完全に埋め込むことができなくなり、保護部としての役割が果たせなくなることも考えられる。

## 【 0 0 5 5 】

一方、有機樹脂膜の膜厚が厚くなると再び段差が生じてしまう。

そこで、これを解決する方法として、図 4（B）に示すように有機樹脂膜を D b の膜厚で成膜した後、パターニングによって保護部 4 1 b を形成させ、さらに全面をエッチングして膜厚を D a とする。これにより、図 4（C）に示すように上部が平坦化され、かつ適度な膜厚の保護部 4 1 b を形成させることができる。

## 【 0 0 5 6 】

しかし、図 4 (B) で示した方法を用いると保護部 4 1 b のパターンニング後のエッチングの際に表面に露出している画素電極もエッチングの環境に曝されてしまう。そこで、この点を考慮した作製方法を図 5 を用いて示す。

#### 【 0 0 5 7 】

まず、図 5 (A) に示すように画素電極 4 0 上に有機樹脂膜を膜厚  $D_b$  で成膜する。これを全面エッチングにより膜厚  $D_a$  とする。さらにこれをパターンニングすることにより保護部 4 1 b を形成させる。

#### 【 0 0 5 8 】

保護部 4 1 b に関しては、図 4 (A) に示すように有機樹脂を成膜した後、パターンニングして形成させても良いし、図 4 (B) に示すようにパターンニング後に全面エッチングを行い形成させても良い。さらに、図 5 (A) に示すように全面エッチングを行ってからパターンニングを行い形成させても良い。

#### 【 0 0 5 9 】

図 5 に示すように保護部 4 1 b の外径  $R_b$  は、電極ホール 4 6 の内径  $R_a$  にたいして  $R_b > R_a$  なる関係にある。なお、図 4 または図 5 を用いて説明した保護部 4 1 b は、図 5 (C) で示す構造になる。つまり、図 5 (C) の 4 1 b の実線は、保護部 4 1 b の外形に一致し、図 5 (C) の 4 1 b の破線は、電極ホール 4 6 の内径に一致している。

#### 【 0 0 6 0 】

次に E L 層 4 2 が形成される。ここでは、有機 E L 材料を溶媒に溶解させて作製した塗布液をスピンコート法により成膜することで E L 層を形成させる方法を示す。なお、ここでは E L 層とする有機 E L 材料としてはポリマー系材料を用いる。

#### 【 0 0 6 1 】

代表的なポリマー系材料としては、ポリパラフェニレンビニレン (P P V) 系、ポリビニルカルバゾール (P V K) 系、ポリフルオレン系などが挙げられる。

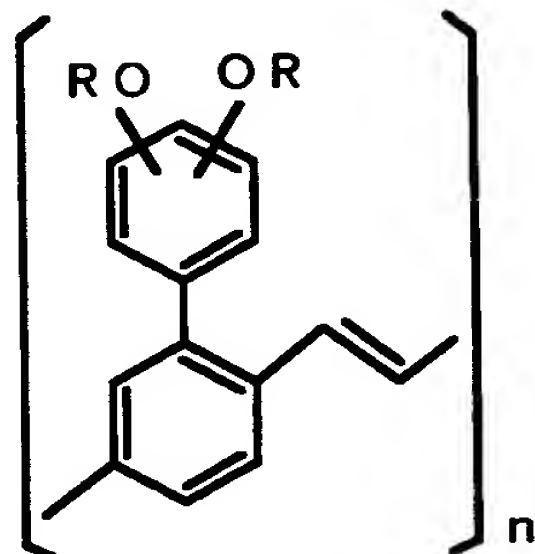
#### 【 0 0 6 2 】

なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば以下のような分子式が発表されている。

(「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」)

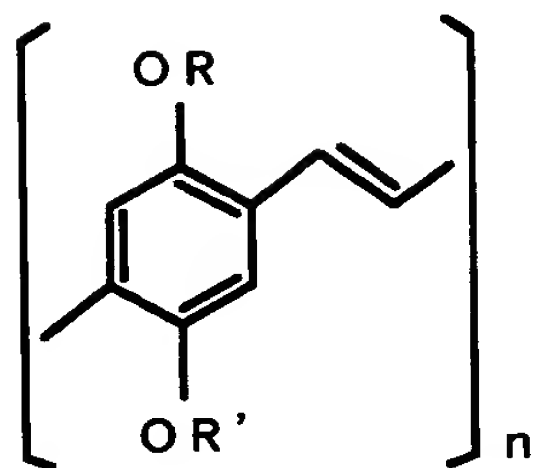
【 0 0 6 3 】

【化 1】



【 0 0 6 4 】

【化 2】



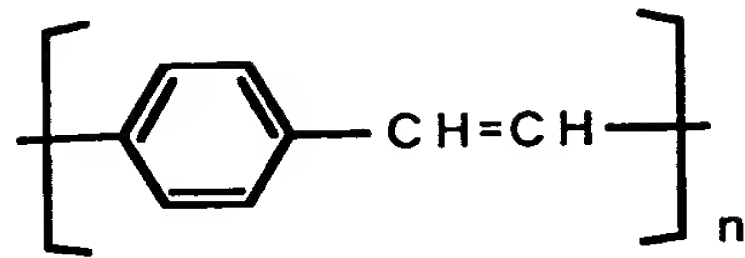
【 0 0 6 5 】

また、特開平 1 0 - 9 2 5 7 6 号公報に記載された分子式のポリフェニルビニルを用いることもできる。分子式は以下ようになる。

【 0 0 6 6 】

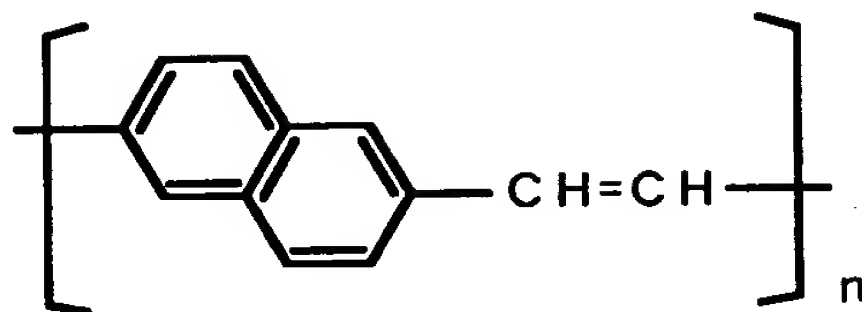


【化 3】



【 0 0 6 7】

【化 4】

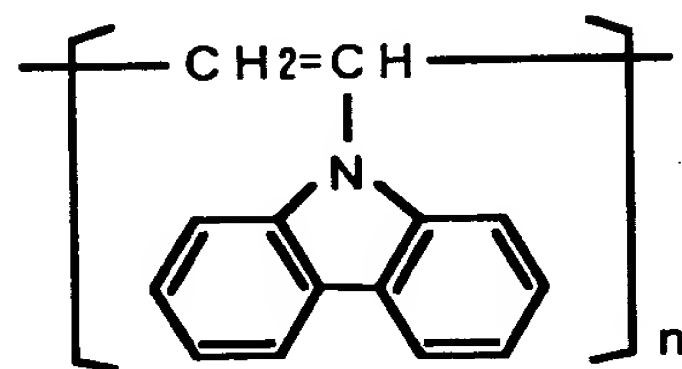


【 0 0 6 8】

また、P V K系有機E L材料としては以下のような分子式がある。

【 0 0 6 9】

【化 5】



【 0 0 7 0】

ポリマー系有機 E L 材料はポリマーの状態で溶媒に溶かして塗布することもできるし、モノマーの状態で溶媒に溶かして塗布した後に重合することもできる。モノマーの状態で塗布した場合、まずポリマー前駆体が形成され、真空中で加熱することにより重合してポリマーになる。

#### 【 0 0 7 1 】

具体的な E L 層としては、赤色に発光する E L 層にはシアノポリフェニレンビニレン、緑色に発光する E L 層にはポリフェニレンビニレン、青色に発光する E L 層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 3 0 ~ 1 5 0 n m (好ましくは 4 0 ~ 1 0 0 n m) とすれば良い。

#### 【 0 0 7 2 】

但し、以上の例は本発明の E L 層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はない。

#### 【 0 0 7 3 】

また、有機 E L 材料を溶解させる代表的な溶媒としてはトルエン、キシレン、クロロベンゼン、ジクロロベンゼン、アニソール、クロロフォルム、ジクロロメタン、 $\gamma$ ブチルラクトン、ブチルセルソルブ、シクロヘキサン、NMP (N-メチル-2-ピロリドン)、シクロヘキサノン、ジオキサンまたは、THF (テトラヒドロフラン) といった溶媒が挙げられる。

#### 【 0 0 7 4 】

さらに、E L 層 4 2 を形成する際、E L 層は水分や酸素の存在によって容易に劣化してしまうため、処理雰囲気は水分や酸素の少ない雰囲気とし、窒素やアルゴンといった不活性ガス中で行うことが望ましい。さらに処理雰囲気としては、塗布液の蒸発速度を制御できることから塗布液作製に用いた溶媒雰囲気にするのも良い。なお、これらを実施するためには、図 1 の薄膜形成装置を、不活性ガスを充填したクリーンブースに設置し、その雰囲気中で発光層の成膜工程を行うことが望ましい。

#### 【 0 0 7 5 】

また、E L 層を形成する方法として、ここで示した、スピンコーティング法の他に蒸着法やインクジェット法を用いても良い。

## 【 0 0 7 6 】

以上のようにしてE L層4 2を形成したら、次に遮光性導電膜からなる陰極4 3、保護電極4 4及び第2パッシベーション膜4 5が形成される。本実施形態では陰極4 3として、M g A gからなる導電膜を用い、保護電極4 4としてアルミニウムからなる導電膜を用いる。また、第2パッシベーション膜4 5としては、1 0 n m ~ 1  $\mu$  m（好ましくは2 0 0 ~ 5 0 0 n m）の厚さの窒化珪素膜を用いる。

## 【 0 0 7 7 】

なお、上述のようにE L層は熱に弱いので、陰極4 3及び第2パッシベーション膜4 5はなるべく低温（好ましくは室温から1 2 0℃までの温度範囲）で成膜するのが望ましい。従って、プラズマC V D法、真空蒸着法又は溶液塗布法（スピncórt法）が望ましい成膜方法と言える。

## 【 0 0 7 8 】

ここまで完成したものをアクティブマトリクス基板とよび、アクティブマトリクス基板に対向して、対向基板（図示せず）が設けられる。本実施形態では対向基板としてガラス基板を用いる。なお、対向基板としては、プラスチックやセラミックスからなる基板を用いても良い。

## 【 0 0 7 9 】

また、アクティブマトリクス基板と対向基板はシール剤（図示せず）によって接着され、密閉空間（図示せず）が形成される。本実施形態では、密閉空間をアルゴンガスで充填している。勿論、この密閉空間内に酸化バリウムといった乾燥剤を配置したり酸化防止剤を配置することも可能である。

## 【 0 0 8 0 】

さらに、対向基板のアクティブマトリクス基板側の面に、仕事関数が低く、酸化されやすい金属や、吸湿性の金属を成膜しておくことと酸素を捕捉する機能や吸湿機能を設けることができる。なお、対向基板上に感光性アクリル樹脂のような有機樹脂で凹凸を付けた後にこれらの金属を成膜すると、表面積を大きくすることができるので、より効果的である。

## 【 0 0 8 1 】

## 〔実施例 1〕

本発明の実施例における画素部とその周辺に設けられる駆動回路部の T F T を同時に作製する方法について図 6 ～ 図 8 を用いて説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路である C M O S 回路を図示することとする。

## 【 0 0 8 2 】

まず、図 6 ( A ) に示すように、ガラス基板 3 0 0 上に下地膜 3 0 1 を 3 0 0 n m の厚さに形成する。本実施例では下地膜 3 0 1 として 1 0 0 n m 厚の窒化酸化珪素膜と 2 0 0 n m の窒化酸化珪素膜とを積層して用いる。この時、ガラス基板 3 0 0 に接する方の窒素濃度を 1 0 ～ 2 5 w t % としておく和良好的。もちろん下地膜を設けずに石英基板上に直接素子を形成しても良い。

## 【 0 0 8 3 】

次に下地膜 3 0 1 の上に 5 0 n m の厚さの非晶質珪素膜 ( 図示せず ) を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜 ( 微結晶半導体膜を含む ) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 2 0 ～ 1 0 0 n m の厚さであれば良い。

## 【 0 0 8 4 】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜 ( 多結晶シリコン膜若しくはポリシリコン膜ともいう ) 3 0 2 を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、X e C l ガスを用いたエキシマレーザー光を用いて結晶化する。

## 【 0 0 8 5 】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

## 【 0 0 8 6 】

本実施例では結晶質珪素膜を T F T の活性層として用いるが、非晶質珪素膜を

用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用 T F T の活性層を非晶質珪素膜で形成し、電流制御用 T F T の活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

## 【 0 0 8 7 】

次に、図 6 ( B ) に示すように、結晶質珪素膜 3 0 2 上に酸化珪素膜からなる保護膜 3 0 3 を 1 3 0 n m の厚さに形成する。この厚さは 1 0 0 ~ 2 0 0 n m ( 好ましくは 1 3 0 ~ 1 7 0 n m ) の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜 3 0 3 は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

## 【 0 0 8 8 】

そして、その上にレジストマスク 3 0 4 a、3 0 4 b を形成し、保護膜 3 0 3 を介して n 型を付与する不純物元素 ( 以下、n 型不純物元素という ) を添加する。なお、n 型不純物元素としては、代表的には 1 5 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではホスフィン ( P H <sub>3</sub> ) を質量分離しないでプラズマ励起したプラズマ ( イオン ) ドーピング法を用い、リンを  $1 \times 10^{18} \text{ atoms/cm}^3$  の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

## 【 0 0 8 9 】

この工程により形成される n 型不純物領域 3 0 5 には、n 型不純物元素が  $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  ( 代表的には  $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  ) の濃度で含まれるようにドーズ量を調節する。

## 【 0 0 9 0 】

次に、図 6 ( C ) に示すように、保護膜 3 0 3 およびレジスト 3 0 4 a、3 0 4 b を除去し、添加した 1 5 族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限

定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜 3 0 3 をつけたままレーザー光を照射しても良い。

#### 【 0 0 9 1 】

なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して 4 5 0 ～ 5 5 0 ℃ 程度の熱処理を行えば良い。

#### 【 0 0 9 2 】

この工程により n 型不純物領域 3 0 5 の端部、即ち、n 型不純物領域 3 0 5、の周囲に存在する n 型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後に T F T が完成した時点において、L D D 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

#### 【 0 0 9 3 】

次に、図 6（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）3 0 6 ～ 3 0 9 を形成する。

#### 【 0 0 9 4 】

次に、図 6（E）に示すように、活性層 3 0 6 ～ 3 0 9 を覆ってゲート絶縁膜 3 1 0 を形成する。ゲート絶縁膜 3 1 0 としては、1 0 ～ 2 0 0 n m、好ましくは 5 0 ～ 1 5 0 n m の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 1 1 0 n m 厚の窒化酸化珪素膜を用いる。

#### 【 0 0 9 5 】

次に、2 0 0 ～ 4 0 0 n m 厚の導電膜を形成し、パターニングしてゲート電極 3 1 1 ～ 3 1 5 を形成する。このゲート電極 3 1 1 ～ 3 1 5 の端部をテーパー状にすることもできる。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成しても構わない。

## 【 0 0 9 6 】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には  $2\ \mu\text{m}$  以下の線幅にパターニング可能な材料が好ましい。

## 【 0 0 9 7 】

代表的には、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W)、クロム (C r)、シリコン (S i) から選ばれた元素からなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には M o - W 合金、M o - T a 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

## 【 0 0 9 8 】

本実施例では、 $50\ \text{nm}$  厚の窒化タンタル (T a N) 膜と、 $350\ \text{nm}$  厚のタンタル (T a) 膜とからなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとして X e、N e 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

## 【 0 0 9 9 】

またこの時、ゲート電極 3 1 2 は n 型不純物領域 3 0 5 の一部とゲート絶縁膜 3 1 0 を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なった L D D 領域となる。なお、ゲート電極 3 1 3、3 1 4 は、断面では、二つに見えるが実際には電氣的に接続されている。

## 【 0 1 0 0 】

次に、図 7 (A) に示すように、ゲート電極 3 1 1 ~ 3 1 5 をマスクとして自己整合的に n 型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域 3 1 6 ~ 3 2 3 には n 型不純物領域 3 0 5 の  $1/2 \sim 1/10$ （代表的には  $1/3 \sim 1/4$ ）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}\ \text{atoms/cm}^3$ （典型的には  $3 \times 10^{17} \sim 3 \times 10^{18}\ \text{atoms/cm}^3$ ）



ms/cm<sup>3</sup>) の濃度が好ましい。

#### 【 0 1 0 1 】

次に、図 7 (B) に示すように、ゲート電極等を覆う形でレジストマスク 3 2 4 a ~ 3 2 4 d を形成し、n 型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域 3 2 5 ~ 3 2 9 を形成する。ここでもホスフィン（P H<sub>3</sub>）を用いたイオンドーピング法で行い、この領域のリンの濃度は  $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>（代表的には  $2 \times 10^{20} \sim 5 \times 10^{21}$  atoms/cm<sup>3</sup>）となるように調節する。

#### 【 0 1 0 2 】

この工程によって n チャネル型 T F T のソース領域若しくはドレイン領域が形成されるが、スイッチング用 T F T では、図 7 (A) の工程で形成した n 型不純物領域 3 1 9 ~ 3 2 1 の一部を残す。この残された領域が、図 2 におけるスイッチング用 T F T 2 0 1 の L D D 領域 1 5 a ~ 1 5 d に対応する。

#### 【 0 1 0 3 】

次に、図 7 (C) に示すように、レジストマスク 3 2 4 a ~ 3 2 4 d を除去し、新たにレジストマスク 3 3 2 を形成する。そして、p 型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域 3 3 3 ~ 3 3 6 を形成する。ここではジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドーピング法により  $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>（代表的には  $5 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>）濃度となるようにボロンを添加する。

#### 【 0 1 0 4 】

なお、不純物領域 3 3 3 ~ 3 3 6 には既に  $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

#### 【 0 1 0 5 】

次に、レジストマスク 3 3 2 を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施

例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

#### 【0106】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

#### 【0107】

次に、活性化工程が終了したら図7(D)に示すように300nm厚のゲート配線337を形成する。ゲート配線337の材料としては、アルミニウム(Al)又は銅(Cu)を主成分(組成として50～100%を占める。)とする金属を用いれば良い。配置としては図3のようにゲート配線211とスイッチング用TFTのゲート電極19a、19b(図6(E)の313、314)が電氣的に接続するように形成する。

#### 【0108】

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角10インチ以上(さらには30インチ以上)のEL表示装置を実現する上で、本実施例の画素構造は極めて有効である。

#### 【0109】

次に、図8(A)に示すように、第1層間絶縁膜338を形成する。第1層間絶縁膜338としては、珪素を含む絶縁膜を単層で用いるか、2種類以上の珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は400nm～1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

#### 【0110】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、水素化処理をする。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、

プラズマ水素化（プラズマ化して生成された水素を用いる）を行っても良い。

#### 【 0 1 1 1 】

なお、水素化処理は第 1 層間絶縁膜 3 3 8 を形成する間に入れても良い。即ち、2 0 0 n m 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 8 0 0 n m 厚の酸化珪素膜を形成してもよい。

#### 【 0 1 1 2 】

次に、第 1 層間絶縁膜 3 3 8 及びゲート絶縁膜 3 1 0 に対してコンタクトホールを形成し、ソース配線 3 3 9 ～ 3 4 2 と、ドレイン配線 3 4 3 ～ 3 4 5 を形成する。なお、本実施例ではこの電極を、T i 膜を 1 0 0 n m、T i を含むアルミニウム膜を 3 0 0 n m、T i 膜 1 5 0 n m をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

#### 【 0 1 1 3 】

次に、5 0 ～ 5 0 0 n m（代表的には 2 0 0 ～ 3 0 0 n m）の厚さで第 1 パッシベーション膜 3 4 6 を形成する。本実施例では第 1 パッシベーション膜 3 4 6 として 3 0 0 n m 厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

#### 【 0 1 1 4 】

なお、窒化酸化珪素膜の形成に先立って  $H_2$ 、 $NH_3$  等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 3 3 8 に供給され、熱処理を行うことで、第 1 パッシベーション膜 3 4 6 の膜質が改善される。それと同時に、第 1 層間絶縁膜 3 3 8 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

#### 【 0 1 1 5 】

次に、図 8（B）に示すように有機樹脂からなる第 2 層間絶縁膜 3 4 7 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル樹脂、シロキサンの高分子化合物を材料として使用することができる。特に、第 2 層間絶縁膜 3 4 7 は平坦化の意味合いが強いので、平坦性に優れたアクリル樹脂が好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル樹脂膜を形成する。好ましくは 1 ～ 5  $\mu m$ （さらに好ましくは 2 ～ 4  $\mu m$ ）とすれば

良い。

#### 【 0 1 1 6 】

次に、第 2 層間絶縁膜 3 4 7 及び第 1 パッシベーション膜 3 4 6 に対してコンタクトホールを形成し、ドレイン配線 3 4 5 と電氣的に接続される画素電極 3 4 8 を形成する。本実施例では酸化インジウム・スズ (ITO) 膜を 110 nm の厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに 2 ～ 20 % の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。この画素電極が EL 素子の陽極となる。

#### 【 0 1 1 7 】

次に、図 8 (C) に示すように、有機樹脂からなる保護部 3 4 9 a 及び 3 4 9 b を形成する。保護部 3 4 9 a 及び 3 4 9 b は 1 ～ 2  $\mu$ m 厚のアクリル樹脂膜やポリイミド膜といった樹脂膜をパターニングして形成すれば良い。この保護部 3 4 9 a 及び 3 4 9 b は図 3 に示したように、画素電極と画素電極との隙間及び電極ホールに形成される。

#### 【 0 1 1 8 】

次に、EL 層 3 5 0 を形成する。具体的には、EL 層 3 5 0 となる有機 EL 材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン、N-メチルピロリドンといった溶媒に溶かしてスピンコーティング法で塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機 EL 材料からなる被膜 (EL 層) が形成される。

#### 【 0 1 1 9 】

本実施例では、塗布液を 80 nm の厚さに成膜した後、80 ～ 150  $^{\circ}$ C のホットプレートで 1 ～ 5 分の熱処理を行って揮発させる。

#### 【 0 1 2 0 】

なお、塗布液を作製する上で公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。なお、本実施例では EL 層 3 5 0 は単層構造とするが、必要に応じて電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層を設けて積層構造としても良い。また、本実施例では EL 素子の陰極 3 5 1 として MgAg 電極を用い

た例を示すが、公知の他の材料であっても良い。

#### 【 0 1 2 1 】

E L 層 3 5 0 を形成した後、陰極 (M g A g 電極) 3 5 1 を真空蒸着法で形成する。なお、E L 層 3 5 0 の膜厚は 8 0 ~ 2 0 0 n m (典型的には 1 0 0 ~ 1 2 0 n m)、陰極 3 5 1 の厚さは 1 8 0 ~ 3 0 0 n m (典型的には 2 0 0 ~ 2 5 0 n m) とすれば良い。

#### 【 0 1 2 2 】

さらに、陰極 3 5 1 上には、保護電極 3 5 2 を設ける。保護電極 3 5 2 としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極 3 5 2 は、マスクを用いて真空蒸着法で形成すれば良い。

#### 【 0 1 2 3 】

最後に、窒化珪素膜からなる第 2 パッシベーション膜 3 5 3 を 3 0 0 n m の厚さに形成する。実際には保護電極 3 5 2 が E L 層を水分等から保護する役割を果たすが、さらに第 2 パッシベーション膜 3 5 3 を形成しておくことで、E L 素子の信頼性をさらに高めることができる。

#### 【 0 1 2 4 】

本実施例の場合、図 8 (C) に示すように、n チャネル型 2 0 5 の活性層は、ソース領域 3 5 5、ドレイン領域 3 5 6、L D D 領域 3 5 7 及びチャネル形成領域 3 5 8 を含み、L D D 領域 3 5 7 はゲート絶縁膜 3 1 0 を挟んでゲート電極 3 1 2 と重なっている。

#### 【 0 1 2 5 】

ドレイン領域側のみに L D D 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 T F T 2 0 5 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、L D D 領域 3 5 7 は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

#### 【 0 1 2 6 】

こうして図 8 (C) に示すような構造のアクティブマトリクス基板が完成する。

## 【 0 1 2 7 】

ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造の T F T を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

## 【 0 1 2 8 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する T F T を、駆動回路部を形成する C M O S 回路の n チャネル型 T F T 2 0 5 として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D / A コンバータなどの信号変換回路も含まれうる。

## 【 0 1 2 9 】

なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用 T F T と電流制御用 T F T の中間程度の機能を有する T F T を配置することが望ましい。

## 【 0 1 3 0 】

従って、サンプリング回路を形成する n チャネル型 T F T は、図 9 に示すような構造の T F T を配置することが望ましい。図 9 に示すように、L D D 領域 9 0 1 a、9 0 1 b の一部がゲート絶縁膜 9 0 2 を介してゲート電極 9 0 3 と重なる。この効果は電流を流した際に生じるホットキャリア注入に対する劣化対策であり、サンプリング回路の場合はチャネル形成領域 9 0 4 を挟む形で両側に設ける点異なる。

## 【 0 1 3 1 】

なお、実際には図 8 ( C ) まで完成したら、さらに外気に曝されないように気密性の高いガラス、石英、プラスチックといったカバー材でパッケージング（封入）することが好ましい。その際、カバー材の内部に内部に酸化バリウムといった吸湿剤や酸化防止剤を配置するとよい。



## 【 0 1 3 2 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではEL表示装置（またはELモジュール）という。

## 【 0 1 3 3 】

ここで本実施例のアクティブマトリクス型EL表示装置の構成を図10の斜視図を用いて説明する。本実施例のアクティブマトリクス型EL表示装置は、ガラス基板601上に形成された、画素部602と、ゲート側駆動回路603と、ソース側駆動回路604を含む。画素部のスイッチング用TFT605はnチャネル型TFTであり、ゲート側駆動回路603に接続されたゲート配線606、ソース側駆動回路604に接続されたソース配線607の交点に配置されている。また、スイッチング用TFT605のドレインは電流制御用TFT608のゲートに接続されている。

## 【 0 1 3 4 】

さらに、電流制御用TFT608のソース側は電源供給線609に接続される。本実施例のような構造では、電源供給線609には接地電位（アース電位）が与えられている。また、電流制御用TFT608のドレインにはEL素子610が接続されている。また、このEL素子610の陽極には所定の電圧（3～12V、好ましくは3～5V）が加えられる。

## 【 0 1 3 5 】

そして、外部入出力端子となるFPC611には駆動回路部まで信号を伝達するための接続配線612、613、及び電源供給線609に接続された接続配線614が設けられている。

## 【 0 1 3 6 】

また、図10に示したEL表示装置の回路構成の一例を図11に示す。本実施例のEL表示装置は、ソース側駆動回路801、ゲート側駆動回路（A）807、ゲート側駆動回路（B）811、画素部806を有している。なお、本明細書



中において、駆動回路部とはソース側処理回路およびゲート側駆動回路を含めた総称である。

#### 【 0 1 3 7 】

ソース側駆動回路 8 0 1 は、シフトレジスタ 8 0 2、レベルシフタ 8 0 3、バッファ 8 0 4、サンプリング回路（サンプル及びホールド回路） 8 0 5 を備えている。また、ゲート側駆動回路（A） 8 0 7 は、シフトレジスタ 8 0 8、レベルシフタ 8 0 9、バッファ 8 1 0 を備えている。ゲート側駆動回路（B） 8 1 1 も同様な構成である。

#### 【 0 1 3 8 】

ここでシフトレジスタ 8 0 2、8 0 8 は駆動電圧が 5 ～ 1 6 V（代表的には 1 0 V）であり、回路を形成する CMOS 回路に使われる n チャネル型 T F T は図 8（C）の 2 0 5 で示される構造が適している。

#### 【 0 1 3 9 】

また、レベルシフタ 8 0 3、8 0 9、バッファ 8 0 4、8 1 0 はシフトレジスタと同様に、図 8（C）の n チャネル型 T F T 2 0 5 を含む CMOS 回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

#### 【 0 1 4 0 】

また、サンプリング回路 8 0 5 はソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図 9 の n チャネル型 T F T 2 0 8 を含む CMOS 回路が適している。

#### 【 0 1 4 1 】

また、画素部 8 0 6 は図 2 に示した構造の画素を配置する。

#### 【 0 1 4 2 】

なお、上記構成は、図 6 ～ 8 に示した作製工程に従って T F T を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/A コンバータ回路、オペアンプ回路、 $\gamma$  補正回路など駆動回路以外の論理回路を同一基板上に形成することが可能であり、さらにはメモリ部やマイクロ

プロセッサ等を形成しようと考えている。

【 0 1 4 3 】

さらに、カバー材をも含めた本実施例の E L モジュールについて図 1 2 ( A ) 、 ( B ) を用いて説明する。なお、必要に応じて図 1 0 、図 1 1 で用いた符号を引用することにする。

【 0 1 4 4 】

図 1 2 ( A ) は、図 1 0 に示した状態にシーリング構造を設けた状態を示す上面図である。点線で示された 6 0 2 は画素部、6 0 3 はゲート側駆動回路、6 0 4 はソース側駆動回路である。本発明のシーリング構造は、図 1 0 の状態に対して充填材 ( 図示せず ) 、カバー材 1 1 0 1 、シール材 ( 図示せず ) 及びフレーム材 1 1 0 2 を設けた構造である。

【 0 1 4 5 】

ここで、図 1 2 ( A ) を A - A ' で切断した断面図を図 1 2 ( B ) に示す。なお、図 1 2 ( A ) 、 ( B ) では同一の部位に同一の符号を用いている。

【 0 1 4 6 】

図 1 2 ( B ) に示すように、基板 6 0 1 上には画素部 6 0 2 、ゲート側駆動回路 6 0 3 が形成されており、画素部 6 0 2 は電流制御用 T F T 2 0 2 とそれに電氣的に接続された画素電極 3 4 6 を含む複数の画素により形成される。また、ゲート側駆動回路 6 0 3 は n チャネル型 T F T 2 0 5 と p チャネル型 T F T 2 0 6 とを相補的に組み合わせた C M O S 回路を用いて形成される。

【 0 1 4 7 】

画素電極 3 4 8 は E L 素子の陽極として機能する。また、画素電極 3 4 8 の両端には保護膜 3 4 9 a が形成され、保護膜 3 4 9 a の上に E L 層 3 5 0 、陰極 3 5 1 が形成される。また、その上には保護電極 3 5 2 、第 2 パッシベーション膜 3 5 3 が形成される。勿論、発明の実施の形態にも述べたように E L 素子の構造を反対とし、画素電極を陰極としても構わない。

【 0 1 4 8 】

本実施例の場合、保護電極 3 5 2 は全画素に共通の配線としても機能し、接続配線 6 1 2 を経由して F P C 6 1 1 に電氣的に接続されている。さらに、画素部

6 0 2 及びゲート側駆動回路 6 0 3 に含まれる素子は全て第 2 パッシベーション膜 3 5 3 で覆われている。この第 2 パッシベーション膜 3 5 3 は省略することも可能であるが、各素子を外部と遮断する上で設けた方が好ましい。

#### 【 0 1 4 9 】

次に、E L 素子を覆うようにして充填材 1 1 0 3 を設ける。この充填材 1 1 0 3 はカバー材 1 1 0 1 を接着するための接着剤としても機能する。充填材 1 1 0 3 としては、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。この充填材 1 1 0 3 の内部に乾燥剤 (図示せず) を設けておくと、吸湿効果を保ち続けられるので好ましい。このとき、乾燥剤は充填材に添加されたものであっても良いし、充填材に封入されたものであっても良い。

#### 【 0 1 5 0 】

また、本実施例ではカバー材 1 1 0 1 としては、ガラス、プラスチック、およびセラミックスからなる材料を用いることができる。なお、充填材 1 1 0 3 の内部に予め酸化バリウム等の吸湿剤を添加しておくことは有効である。

#### 【 0 1 5 1 】

次に、充填材 1 1 0 3 を用いてカバー材 1 1 0 1 を接着した後、充填材 1 1 0 3 の側面 (露呈面) を覆うようにフレーム材 1 1 0 2 を取り付ける。フレーム材 1 1 0 2 はシール材 (接着剤として機能する) 1 1 0 4 によって接着される。このとき、シール材 1 1 0 4 としては、光硬化性樹脂を用いるのが好ましいが、E L 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材 1 1 0 4 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材 1 1 0 4 の内部に乾燥剤を添加してあっても良い。

#### 【 0 1 5 2 】

以上のような方式を用いて E L 素子を充填材 1 1 0 3 に封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 表示装置を作製することができる。

#### 【 0 1 5 3 】

## 〔実施例 2〕

実施例 1 において、画素電極上に有機樹脂を全面塗布した後、露光装置を用いてパターニングを行い、電極ホールおよび画素電極間の隙間を部分的に有機樹脂で埋め込んだ保護部を形成した後、E L 層を形成する作製方法を示したが、露光工程が入るためにスループットが悪いので本実施例では、画素電極上に有機樹脂を全面塗布した後、パターニングを行わずにエッチバック法を用いて平坦化を行い、電極ホール及び画素電極間の隙間に埋め込まれた有機樹脂以外をエッチングする方法を示す。

## 【0154】

ここで本発明における E L 表示装置の画素部の断面構造を図 1 3 に示す。

## 【0155】

図 1 3 (A) に示されるのは、画素電極 1 0 4 0 及び画素電極 1 0 4 0 に電氣的に接続される電流制御用 T F T である。電流制御用 T F T は、基板 1 0 1 1 上に下地膜 1 0 1 2 が形成された後、ソース領域 1 0 3 1、ドレイン領域 1 0 3 2 及びチャネル形成領域 1 0 3 4 を含む活性層、ゲート絶縁膜 1 0 1 8、ゲート電極 1 0 3 5、第 1 層間絶縁膜 1 0 2 0、ソース配線 1 0 3 6 並びにドレイン配線 1 0 3 7 を有して形成される。なお、ゲート電極 1 0 3 5 はシングルゲート構造となっているが、マルチゲート構造であっても良い。

## 【0156】

次に、1 0 3 8 は第 1 パッシベーション膜であり、膜厚は 1 0 n m ~ 1  $\mu$  m (好ましくは 2 0 0 ~ 5 0 0 n m) とすれば良い。材料としては、珪素を含む絶縁膜 (特に窒化酸化珪素膜又は窒化珪素膜が好ましい) を用いることができる。

## 【0157】

第 1 パッシベーション膜 1 0 3 8 の上には、各 T F T を覆うような形で第 2 層間絶縁膜 (平坦化膜と言っても良い) 1 0 3 9 を形成し、T F T によってできる段差の平坦化を行う。第 2 層間絶縁膜 1 0 3 9 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂、シロキサン的高分子化合物を含む樹脂を材料として用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

## 【 0 1 5 8 】

第 2 層間絶縁膜 1 0 3 9 によって T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

## 【 0 1 5 9 】

また、1 0 4 0 は透明導電膜からなる画素電極（E L 素子の陽極に相当する）であり、第 2 層間絶縁膜 1 0 3 9 及び第 1 パッシベーション膜 1 0 3 8 にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用 T F T のドレイン配線 1 0 3 7 に接続されるように形成される。

## 【 0 1 6 0 】

本実施形態では、画素電極として酸化インジウムと酸化スズの化合物からなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物を用いることもできる。

## 【 0 1 6 1 】

次に、画素電極上に有機樹脂を材料とする有機樹脂膜 1 0 4 1 を形成する。有機樹脂としては、ポリアミド、ポリイミド、アクリル樹脂およびシロキサン的高分子化合物を含む樹脂といった材料があり、これらを使っても良いが、ここでは、アクリル樹脂であるアクリル酸エステル樹脂、アクリル酸樹脂、メタクリル酸エステル樹脂、メタクリル酸樹脂といった樹脂を用いている。

なお、シロキサンの高分子化合物を含む樹脂としては、シクロテンがある。

## 【 0 1 6 2 】

また、ここでは画素電極上に有機樹脂を材料とする有機樹脂膜を形成させているが、絶縁膜となりうる絶縁体を用いても良い。

## 【 0 1 6 3 】

絶縁体としては、酸化珪素や窒化酸化珪素及び窒化珪素といった珪素を含む絶縁膜を用いると良い。

## 【 0 1 6 4 】

有機樹脂膜 1 0 4 1 の膜厚（D c）は、0. 1 ～ 2  $\mu$  m が好ましいが、さらに

好ましくは0.2～0.6  $\mu\text{m}$ とするのがよい。

【0165】

有機樹脂膜1041を成膜した後、有機樹脂膜1041を全面エッチングして $Dc=0$ となるところでエッチングを終了させると、電極ホールに埋め込まれたアクリル樹脂が残り、保護部1041bが形成される。

【0166】

なお、エッチング方法としてはドライエッチングが好ましい。まず、真空チャンバー内にエッチングすべき有機樹脂材料に合わせたエッチングガスを導入した後、電極に高周波電圧を印加してプラズマを立て、エッチングガスをプラズマ化させる。

【0167】

プラズマ化されたエッチングガス中では、正イオン、負イオン、電子などの荷電粒子と中性活性種がバラバラの状態で存在している。エッチング種が、被エッチング材料に吸着されると表面化学反応が生じてエッチング生成物が生成し、これが除去されると、エッチングがなされる。

【0168】

また、保護膜の材料としてアクリル樹脂を用いる場合、エッチングにおけるエッチングガスとして酸素を主成分とするガスを用いることが望ましい。

【0169】

なお、本実施例では酸素を主成分とするエッチングガスとして、酸素、ヘリウム及び四フッ化炭素( $\text{CF}_4$ )からなるエッチングガスを用いている。また、その他の材料として、六フッ化二炭素( $\text{C}_2\text{F}_6$ )といったフッ化炭素系のガスを用いても良い。

【0170】

なお、これらのエッチングガスにおいては、酸素が、エッチングガス全体の60%以上になることが望ましい。

【0171】

本実施例に示すように画素電極上に有機樹脂膜をスピンコート法を用いて成膜した後、これを全面エッチングして、図13(B)に示すように電極ホール10

4 6 に保護部 1 0 4 1 b が形成されるように矢印の方向にエッチングさせる。なお、ここで形成された保護部 1 0 4 1 b の露呈面及び画素電極 1 0 4 0 の露呈面は、図 1 3 (B) に示すように同一面内にある。

#### 【 0 1 7 2 】

なお、このときのエッチング時間は予めエッチングレートを調べておき、保護部 1 0 4 1 b を除く画素電極 1 0 4 0 上の有機樹脂膜がちょうど除去されたところでエッチングが終了するようにする。これにより、画素電極 1 0 4 0 の上面と保護部 1 0 4 1 b の上面が同一の平坦面になる。

#### 【 0 1 7 3 】

また、これらの有機樹脂を用いる際には、粘度を  $10^{-3} \text{Pa} \cdot \text{s} \sim 10^{-1} \text{Pa} \cdot \text{s}$  とするとよい。

#### 【 0 1 7 4 】

保護部 1 0 4 1 b を形成したら、図 1 3 (C) に示すように E L 層 1 0 4 2 を形成するために E L 材料を溶媒に溶解させた塗布液がスピコート法により成膜される。

#### 【 0 1 7 5 】

E L 層 1 0 4 2 が形成されると、さらに陰極 1 0 4 3 及び保護電極 1 0 4 4 が形成される。

#### 【 0 1 7 6 】

以上のようにして図 1 3 (C) に示す様な構造とすることで、電極ホールの段差部分で、E L 層 1 0 4 2 が切断された際に生じる画素電極 1 0 4 0 と陰極 1 0 4 3 間での短絡の問題を解決することができる。

#### 【 0 1 7 7 】

なお、本実施例で示したように画素電極 1 0 4 0 上の保護部 1 0 4 1 b が電極ホール 1 0 4 6 と同一の形状である場合の上面図を図 1 3 (D) に示す。

#### 【 0 1 7 8 】

また、本実施例の構成は、実施例 1 の構成と自由に組み合わせることができる。

#### 〔実施例 3〕



## 【 0 1 7 9 】

実施例 2 では、エッチングにより保護膜を形成させる方法、いわゆるエッチバック法について説明したが、エッチバック法では、保護膜の膜の種類によっては適さないことや平坦化できる領域が数  $\mu\text{m}$  から数  $10\mu\text{m}$  であるといった制限があるので、化学的機械研磨 (CMP: Chemical Mechanical Polishing) を用いて保護部を形成することも可能である。そこで、本実施例も図 1 3 を用いて説明する。

## 【 0 1 8 0 】

本実施例においては、実施例 2 の図 1 3 (A) で示したように有機樹脂膜 1 0 4 1 を  $D_c (>0)$  の膜厚に成膜した後、有機樹脂膜 1 0 4 1 に対して対向する定盤上に張られた研磨パッドに一定圧力で押しつけ、基板及び定盤をそれぞれ回転させながら研磨材 (スラリー) を流し、 $D_c = 0$  になるまで研磨する、いわゆる CMP を用いて保護部 1 0 4 1 b を形成させる。

## 【 0 1 8 1 】

CMP を行う上で使用するスラリーは、砥粒と呼ばれる研磨粒子を pH 調整した水溶液に分散させたものであり、被研磨膜により異なるスラリーを用いるとよい。

## 【 0 1 8 2 】

本実施例では、被研磨膜としてアクリル樹脂を用いているので、シリカ系スラリー ( $\text{SiO}_2$ ) やセリア系スラリー ( $\text{CeO}_2$ ) およびフュームドシリカ系スラリー ( $\text{SiCl}_4$ ) といったスラリーを用いるのが好ましい。しかし、スラリーとしては、このほかにもアルミナ系スラリー ( $\text{Al}_2\text{O}_3$ ) やゼオライト系スラリーがありこれらを用いても良い。

## 【 0 1 8 3 】

また、スラリー中の液と砥粒 (シリカ粒子) との間の電位 (ゼータ電位) は、加工精度に影響するので pH 値を最適化することで調整する必要がある。

## 【 0 1 8 4 】

CMP を用いて研磨する際に、研磨の終了点を見極めるのは困難である。もし研磨しすぎた場合には、画素電極まで研磨してしまうことになる。そこで、加工

速度が極端に遅い膜を形成してCMPのストッパーとしたり、予め実験によって、加工時間と加工速度の関係を明らかにしておき、ある一定の加工時間がきたところで、CMPを終了する手法を取ることで必要以上の研磨を防ぐことができる。

#### 【 0 1 8 5 】

以上のように、CMPを用いることで被研磨膜の膜厚や膜の種類によらずに保護部 1 0 4 1 b を形成させることができる。

#### 【 0 1 8 6 】

なお、本実施例の構成は、実施例 1 ～実施例 3 の構成と自由に組み合わせることができる。

#### 【 0 1 8 7 】

##### 〔実施例 4〕

本実施例では本発明をパッシブ型（単純マトリクス型）の E L 表示装置に用いた場合について図 1 4 を用いて説明する。

図 1 4 において、1 3 0 1 はプラスチックからなる基板、1 3 0 6 は透明導電膜からなる陽極である。なお、基板 1 3 0 1 は、ガラス、石英といった材料でできていても良い。

#### 【 0 1 8 8 】

本実施例では、透明導電膜として酸化インジウムと酸化亜鉛との化合物を蒸着法により形成する。なお、図 1 4 では図示されていないが、複数本の陽極が紙面に垂直な方向へストライプ状に配列されている。

#### 【 0 1 8 9 】

また、ストライプ状に配列された陽極 1 3 0 2 の間を埋めるように保護膜 1 3 0 3 が形成される。保護膜 1 3 0 3 は陽極 1 3 0 2 に沿って紙面に垂直な方向に形成されている。

#### 【 0 1 9 0 】

次に、ポリマー系有機 E L 材料からなる E L 層 1 3 0 4 が形成される。用いる有機 E L 材料は実施例 1 と同様のものを用いれば良い。これらの E L 層は保護膜 1 3 0 2 によって形成された溝に沿って形成されるため、紙面に垂直な方向にス

トライブ状に配列される。

【 0 1 9 1 】

その後、図 1 4 では図示されていないが、複数本の陰極及び保護電極が紙面に平行な方向が長手方向となり、且つ、陽極 1 3 0 2 と直交するようにストライブ状に配列されている。なお、本実施例では、陰極 1 3 0 5 は、M g A g からなり、保護電極 1 3 0 6 はアルミニウム合金膜からなり、それぞれ蒸着法により形成される。また、図示されないが保護電極 1 3 0 6 は所定の電圧が加えられるように、後に F P C が取り付けられる部分まで配線が引き出されている。

【 0 1 9 2 】

また、ここでは図示していないが保護電極 1 3 0 6 を形成したら、パッシベーション膜として窒化珪素膜を設けても良い。

【 0 1 9 3 】

以上のようにして基板 1 3 0 1 上に E L 素子を形成する。なお、本実施例では下側の電極が透光性の陽極となっているため、E L 層 1 3 0 4 a ~ 1 3 0 4 c で発生した光は下面（基板 1 3 0 1）に放射される。しかしながら、E L 素子の構造を反対にし、下側の電極を遮光性の陰極とすることもできる。その場合、E L 層で発生した光は上面（基板 1 3 0 1 とは反対側）に放射されることになる。

【 0 1 9 4 】

次に、カバー材 1 3 0 7 としてセラミックス基板を用意する。本実施例の構造では遮光性で良いのでセラミックス基板を用いたが、勿論、前述のように E L 素子の構造を反対にした場合、カバー材は透光性のほうが良いので、プラスチックやガラスからなる基板を用いるとよい。

【 0 1 9 5 】

こうしてカバー材 1 3 0 7 を用意したら、乾燥剤（図示せず）として酸化バリウムを添加した充填材 1 3 0 8 によりカバー材 1 3 0 7 を貼り合わせる。その後、紫外線硬化樹脂からなるシール材 1 3 0 9 を用いてフレーム材 1 3 1 0 を取り付ける。本実施例ではフレーム材 1 3 1 0 としてステンレス材を用いる。最後に異方導電性フィルム 1 3 1 1 を介して F P C 1 3 1 2 を取り付けてパッシブ型の E L 表示装置が完成する。

【 0 1 9 6 】

なお、本実施例の構成は、実施例 1 ～実施例 3 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 1 9 7 】

〔実施例 5〕

本発明を実施してアクティブマトリクス型の E L 表示装置を作製する際に、基板としてシリコン基板（シリコンウェハー）を用いることは有効である。基板としてシリコン基板を用いた場合、画素部に形成するスイッチング用素子や電流制御用素子または駆動回路部に形成する駆動用素子を、従来の I C や L S I などを用いられている M O S F E T の作製技術を用いて作製することができる。

【 0 1 9 8 】

M O S F E T は I C や L S I で実績があるように非常にばらつきの小さい回路を形成することが可能であり、特に電流値で階調表現を行うアナログ駆動のアクティブマトリクス型 E L 表示装置には有効である。

【 0 1 9 9 】

なお、シリコン基板は遮光性であるので、E L 層からの光は基板とは反対側に放射されるような構造とする必要がある。本実施例の E L 表示装置は構造的には図 1 2 と似ているが、画素部 6 0 2、駆動回路部 6 0 3 を形成する T F T の代わりに M O S F E T を用いる点で異なる。

【 0 2 0 0 】

なお、本実施例の構成は、実施例 1 ～実施例 4 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 2 0 1 】

〔実施例 6〕

本発明を実施して形成された E L 表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。例えば、T V 放送等を大画面で鑑賞するには対角 3 0 インチ以上（典型的には 4 0 インチ以上）の E L ディスプレイ（E L 表示装置を筐体に組み込んだディスプレイ）の表示部として本発明の E

L表示装置を用いるとよい。

【0202】

なお、ELディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明のEL表示装置を用いることができる。

【0203】

その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL表示装置を用いることが望ましい。それら電気器具の具体例を図15、図16に示す。

【0204】

図15（A）はELディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0205】

図15（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0206】

図15（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、EL表示装置2206等を含む。本発明はEL表示装置2

2 0 6 に用いることができる。

【 0 2 0 7 】

図 1 5 ( D ) は記録媒体を備えた画像再生装置（具体的には D V D 再生装置）であり、本体 2 3 0 1、記録媒体（D V D 等） 2 3 0 2、操作スイッチ 2 3 0 3、表示部（ a ） 2 3 0 4、表示部（ b ） 2 3 0 5 等を含む。表示部（ a ）は主として画像情報を表示し、表示部（ b ）は主として文字情報を表示するが、本発明の E L 表示装置はこれら表示部（ a ）、（ b ）に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 2 0 8 】

図 1 5 ( E ) は携帯型（モバイル）コンピュータであり、本体 2 4 0 1、カメラ部 2 4 0 2、受像部 2 4 0 3、操作スイッチ 2 4 0 4、表示部 2 4 0 5 等を含む。本発明の E L 表示装置は表示部 2 4 0 5 に用いることができる。

【 0 2 0 9 】

図 1 5 ( F ) はパーソナルコンピュータであり、本体 2 5 0 1、筐体 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 等を含む。本発明の E L 表示装置は表示部 2 5 0 3 に用いることができる。

【 0 2 1 0 】

なお、将来的に E L 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 2 1 1 】

また、上記電子装置はインターネットや C A T V （ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。E L 材料の応答速度は非常に高いため、E L 表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまったりは動画全体もぼやけてしまう。従って、画素間の輪郭を明瞭にするという本発明の E L 表示装置を電子装置の表示部として用いることは極めて有効である。

【 0 2 1 2 】

また、E L 表示装置は発光している部分が電力を消費するため、発光部分が極

力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に E L 表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

#### 【 0 2 1 3 】

ここで図 1 6 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 を含む。本発明の E L 表示装置は表示部 2 6 0 4 に用いることができる。なお、表示部 2 6 0 4 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

#### 【 0 2 1 4 】

また、図 1 6 (B) は音響再生装置、具体的にはカーオーディオであり、本体 2 7 0 1、表示部 2 7 0 2、操作スイッチ 2 7 0 3、2 7 0 4 を含む。本発明の E L 表示装置は表示部 2 7 0 2 に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部 2 7 0 4 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

#### 【 0 2 1 5 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例 1 ～ 5 に示したいずれの構成の E L 表示装置を用いても良い。

#### 【 0 2 1 6 】

##### 【発明の効果】

本発明を実施することで、有機 E L 材料を成膜する際に生じる電極ホールの成膜不良を改善することができる。また、本発明においては、様々な方法及び形状で電極ホールを保護部で埋め込む方法を示しているので、条件や用途に応じて成膜する事が可能であり、陰極と陽極の間の短絡による E L 層の発光不良を防ぐことができる。

##### 【図面の簡単な説明】

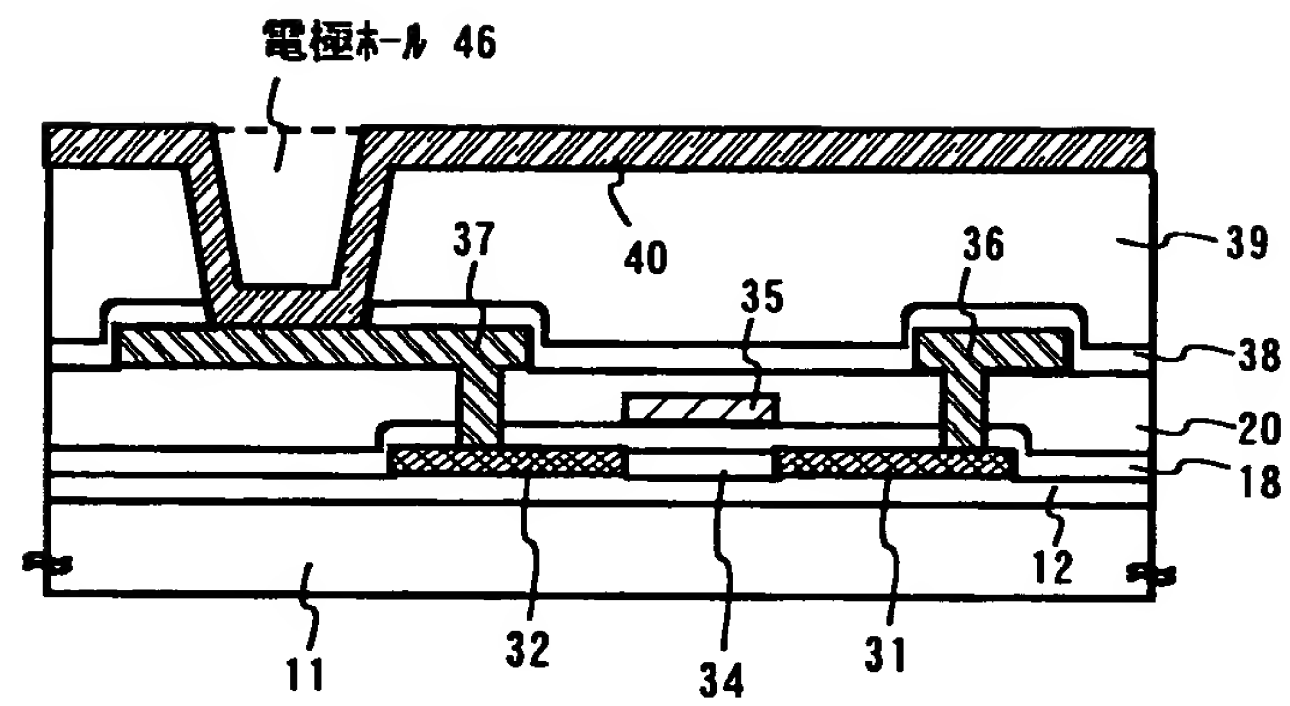


- 【図 1】 画素部の断面構造を示す図。
- 【図 2】 画素部の断面構造を示す図。
- 【図 3】 画素部の上面構造及び構成を示す図。
- 【図 4】 画素部の断面構造を示す図。
- 【図 5】 画素部の断面構造を示す図。
- 【図 6】 E L 表示装置の作製工程を示す図。
- 【図 7】 E L 表示装置の作製工程を示す図。
- 【図 8】 E L 表示装置の作製工程を示す図。
- 【図 9】 サンプリング回路の素子構造を示す図。
- 【図 1 0】 E L 表示装置の外観を示す図。
- 【図 1 1】 E L 表示装置の回路ブロック構成を示す図。
- 【図 1 2】 アクティブマトリクス型の E L 表示装置の断面構造を示す図。
- 【図 1 3】 画素部の断面構造を示す図。
- 【図 1 4】 パッシブ型の E L 表示装置の断面構造を示す図。
- 【図 1 5】 電気器具の具体例を示す図。
- 【図 1 6】 電気器具の具体例を示す図。

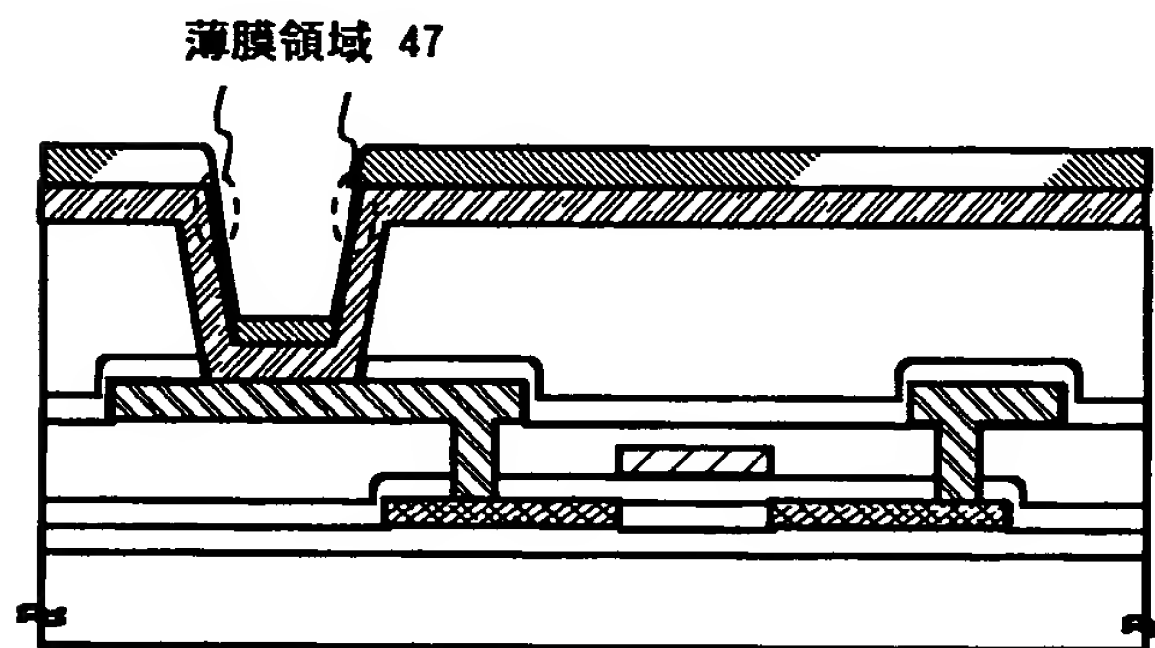
【書類名】 図面

【図 1】

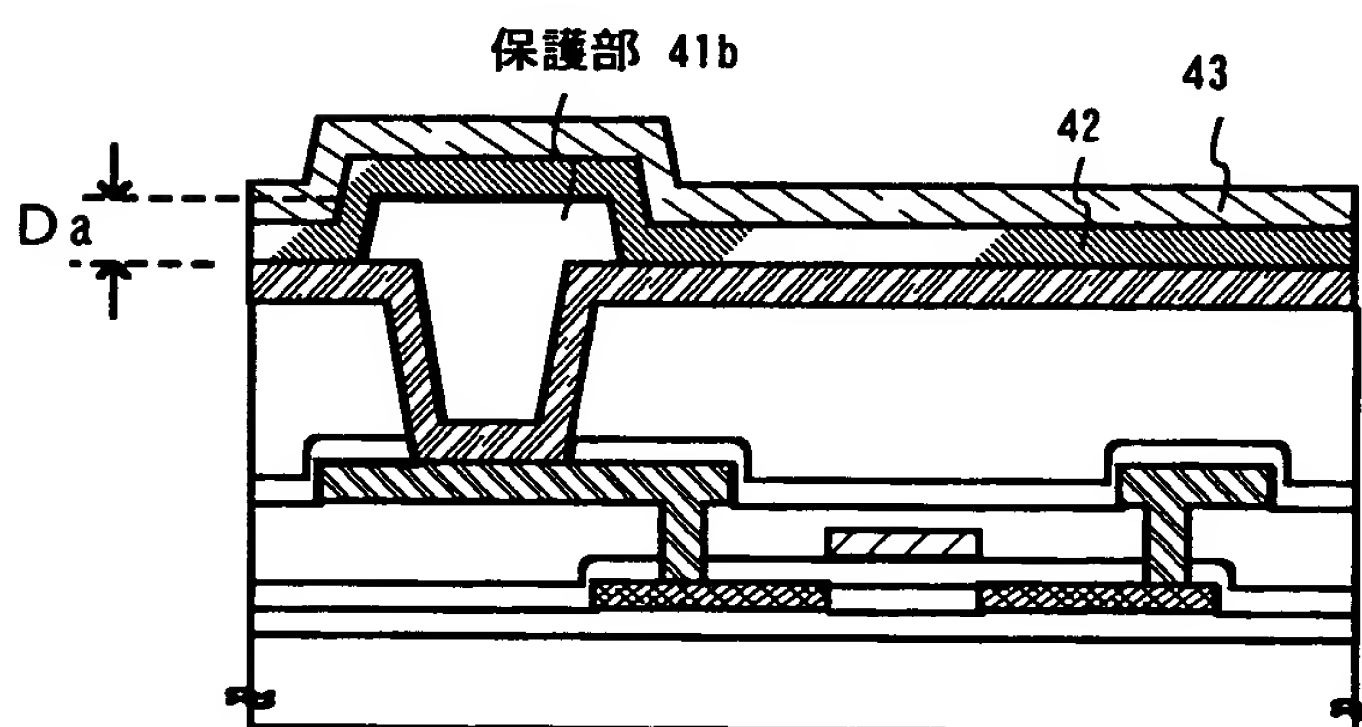
(A)



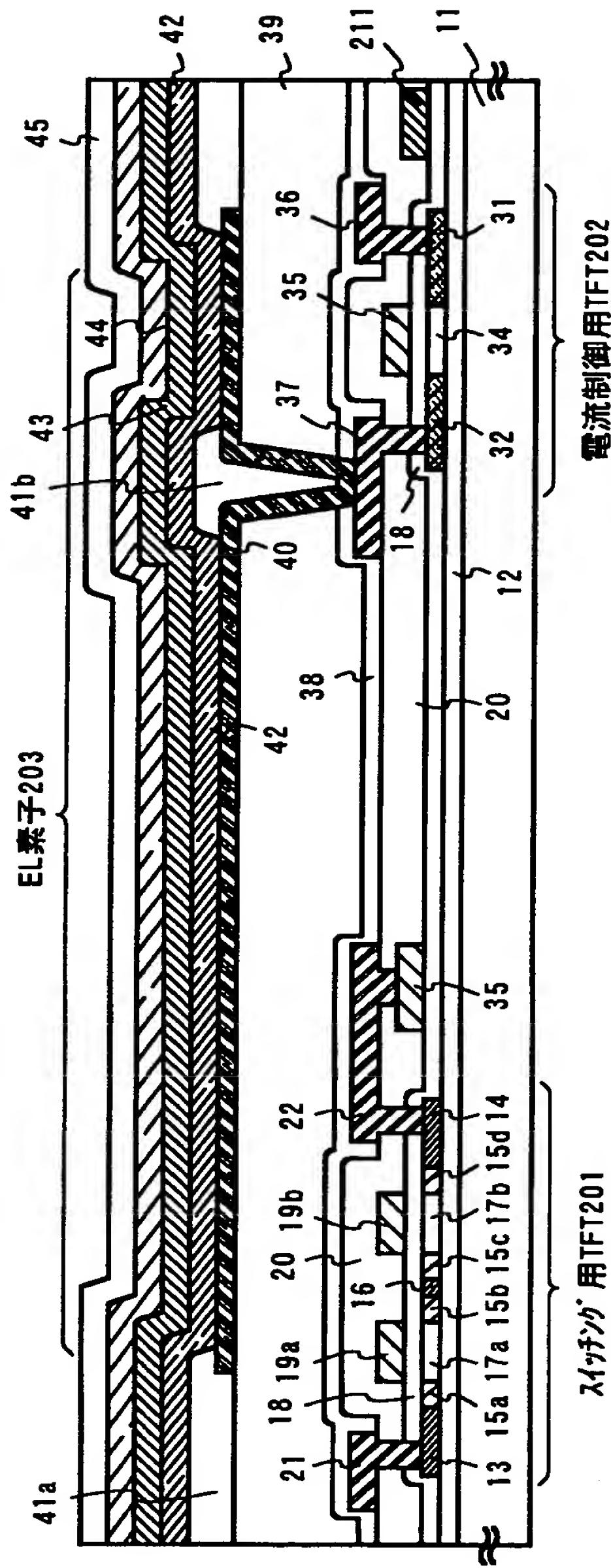
(B)



(C)

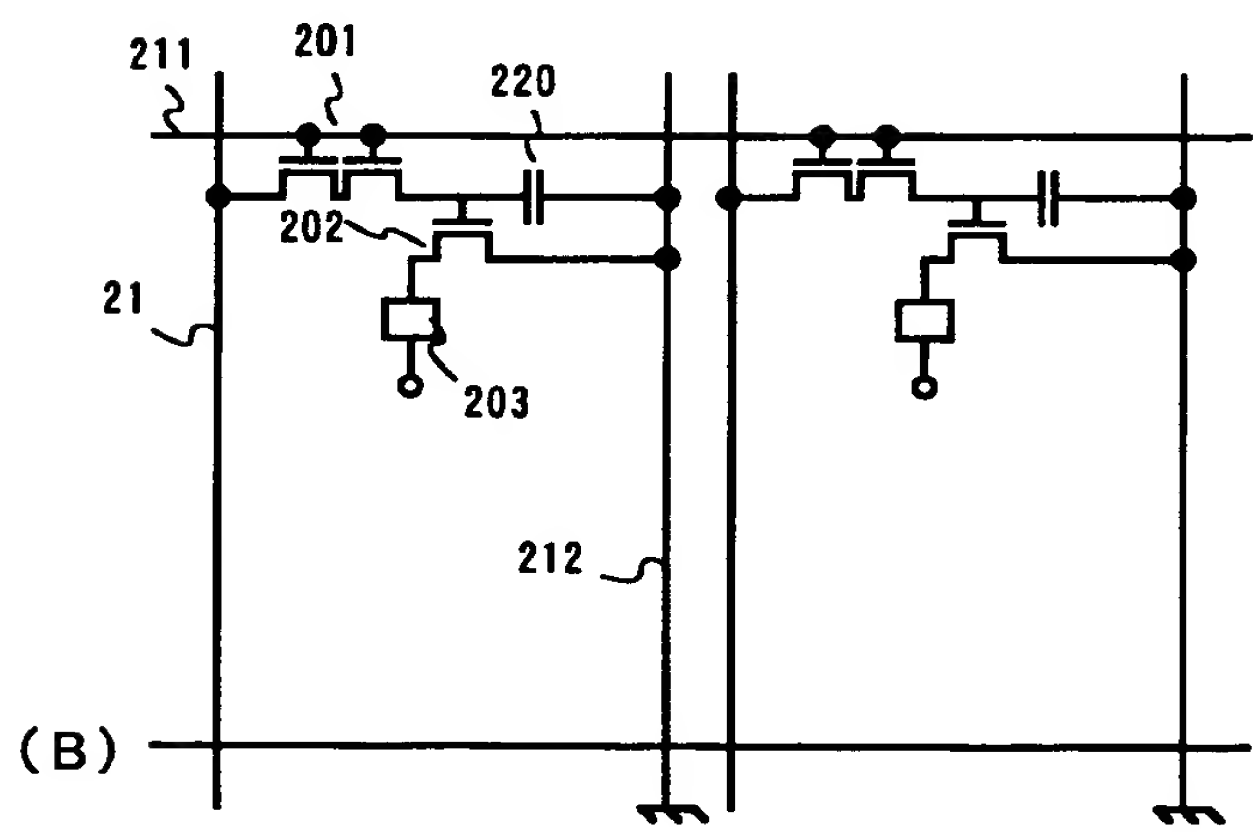
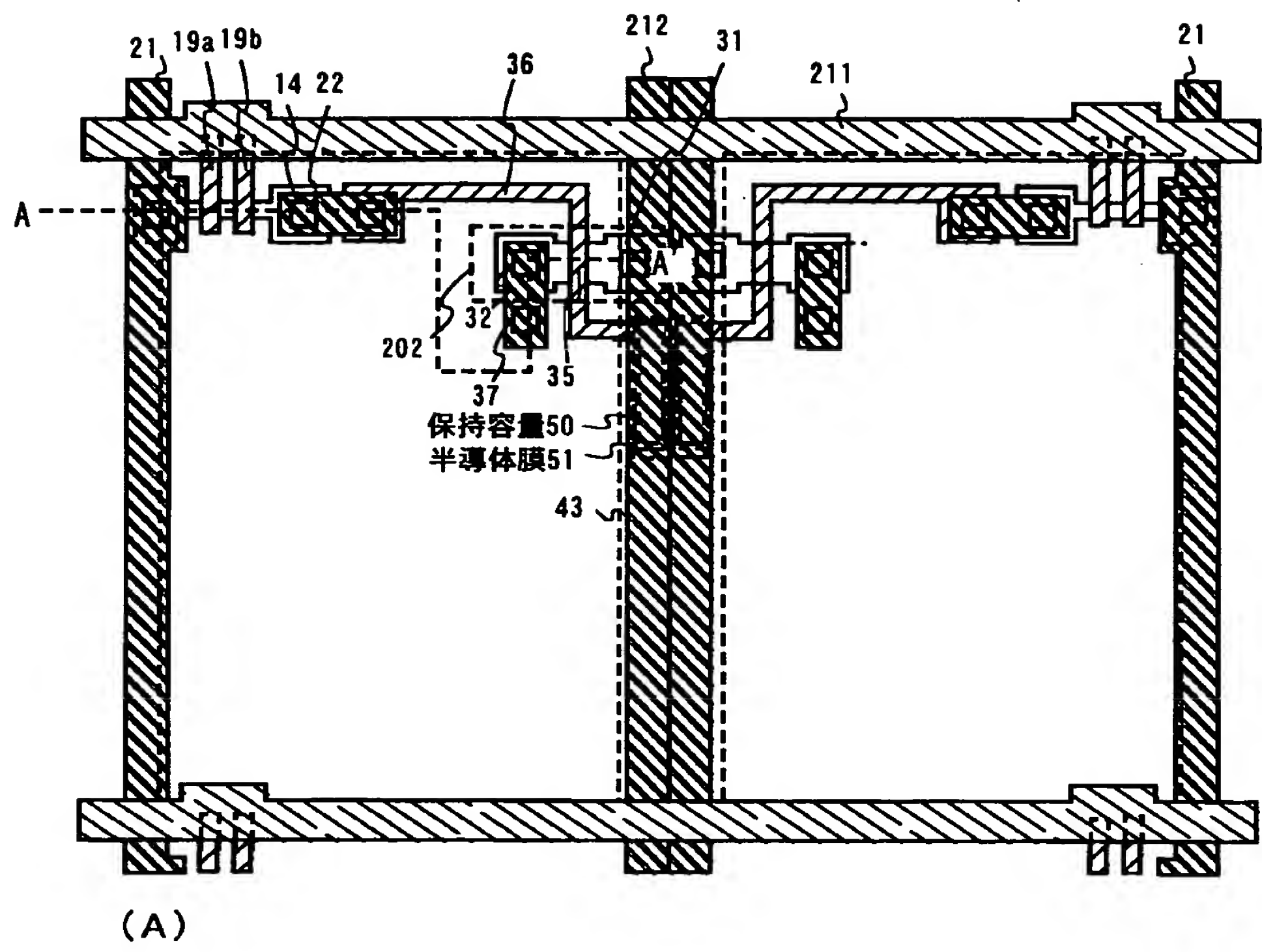


【図 2】



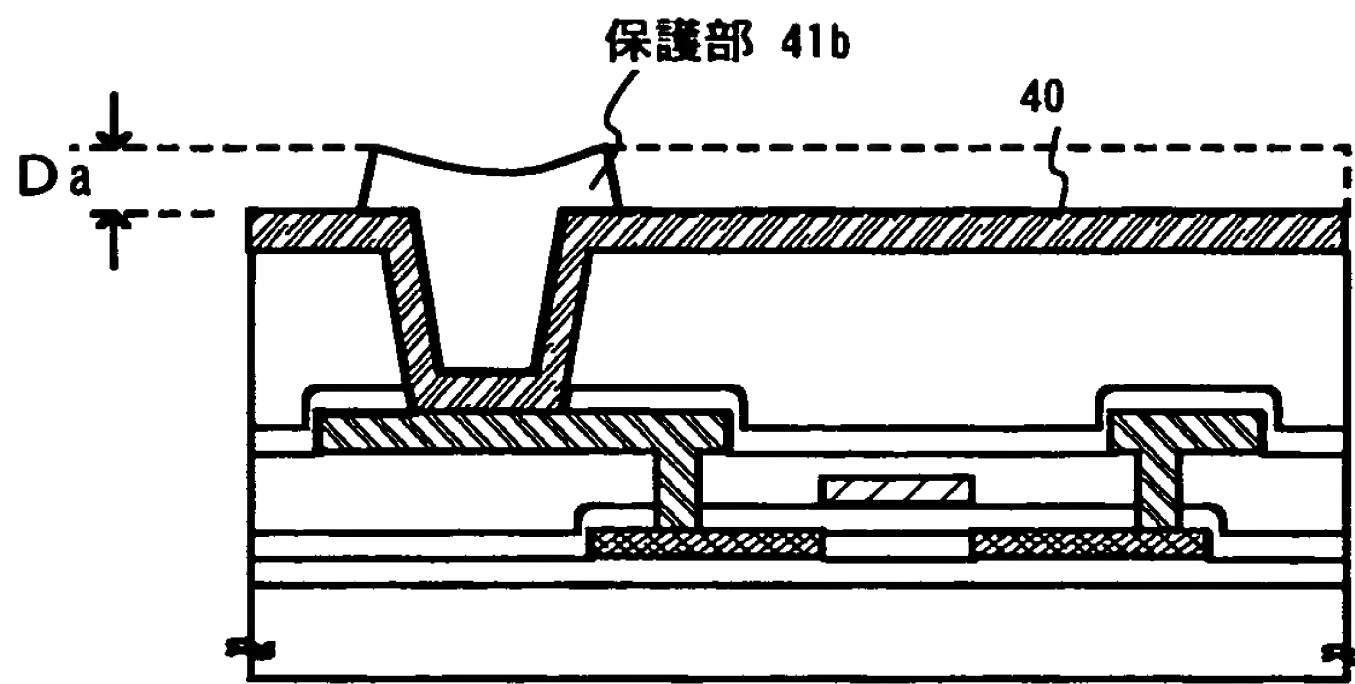
- 11:基板 12:下地膜 13:ソース領域 14:ドレイン領域 15a~15d:LDD領域 16:高濃度不純物領域  
17a,17b:チャネル形成領域 18:ゲート絶縁膜 19a,19b:ゲート電極 20:第1層間絶縁膜 21:ソース配線  
22:ドレイン配線 23:ゲート電極 31:ソース領域 32:ドレイン領域 34:チャネル形成領域  
35:ゲート電極 36:ソース配線 37:ドレイン配線 38:第1パッシベーション膜 39:第2層間絶縁膜  
40:画素電極(陽極) 41a,41b:保護部 42:EL層 43:陰極 44:保護電極 45:第2パッシベーション膜  
211:電源供給線

【図 3】

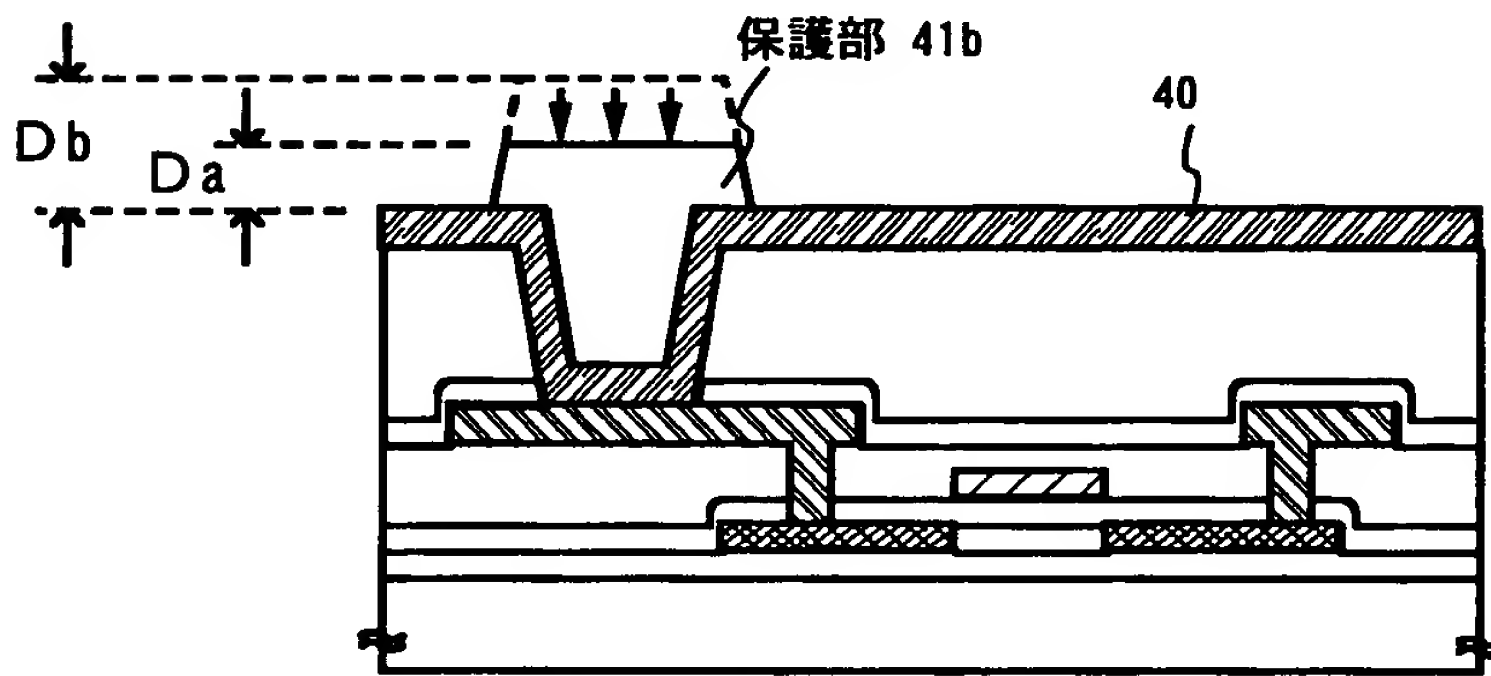


【図 4】

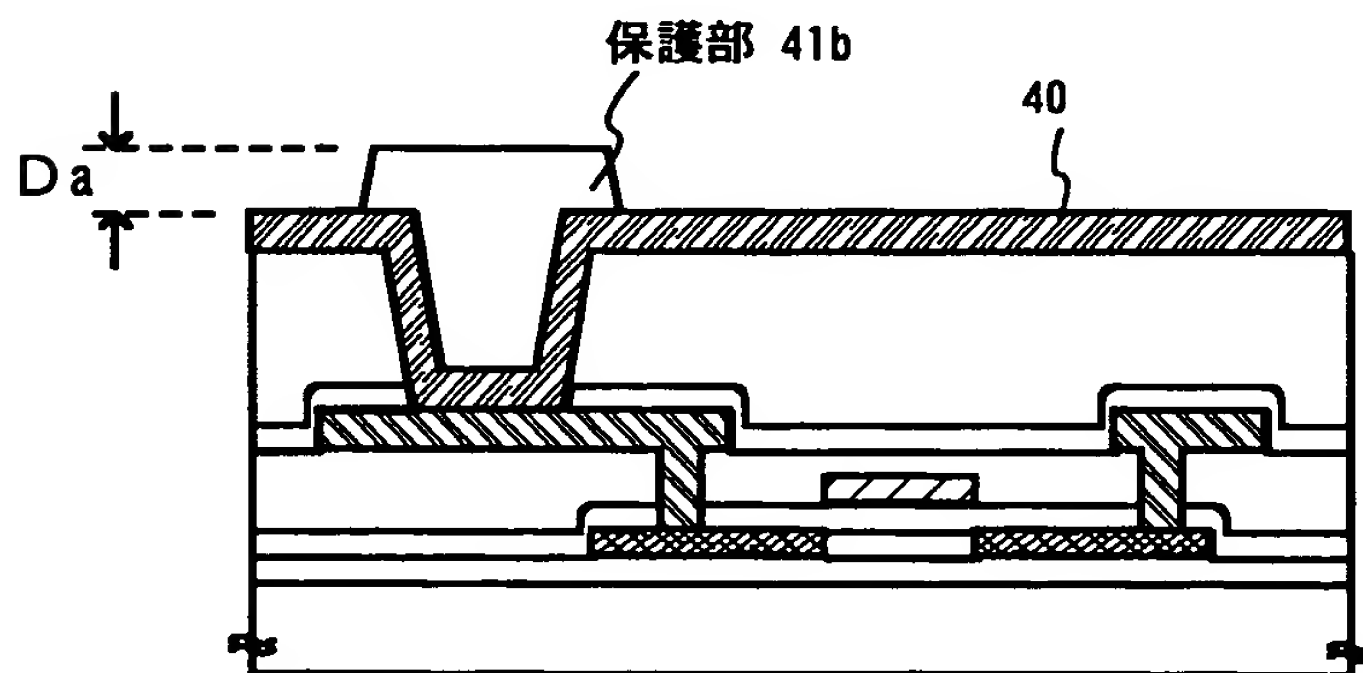
(A)



(B)

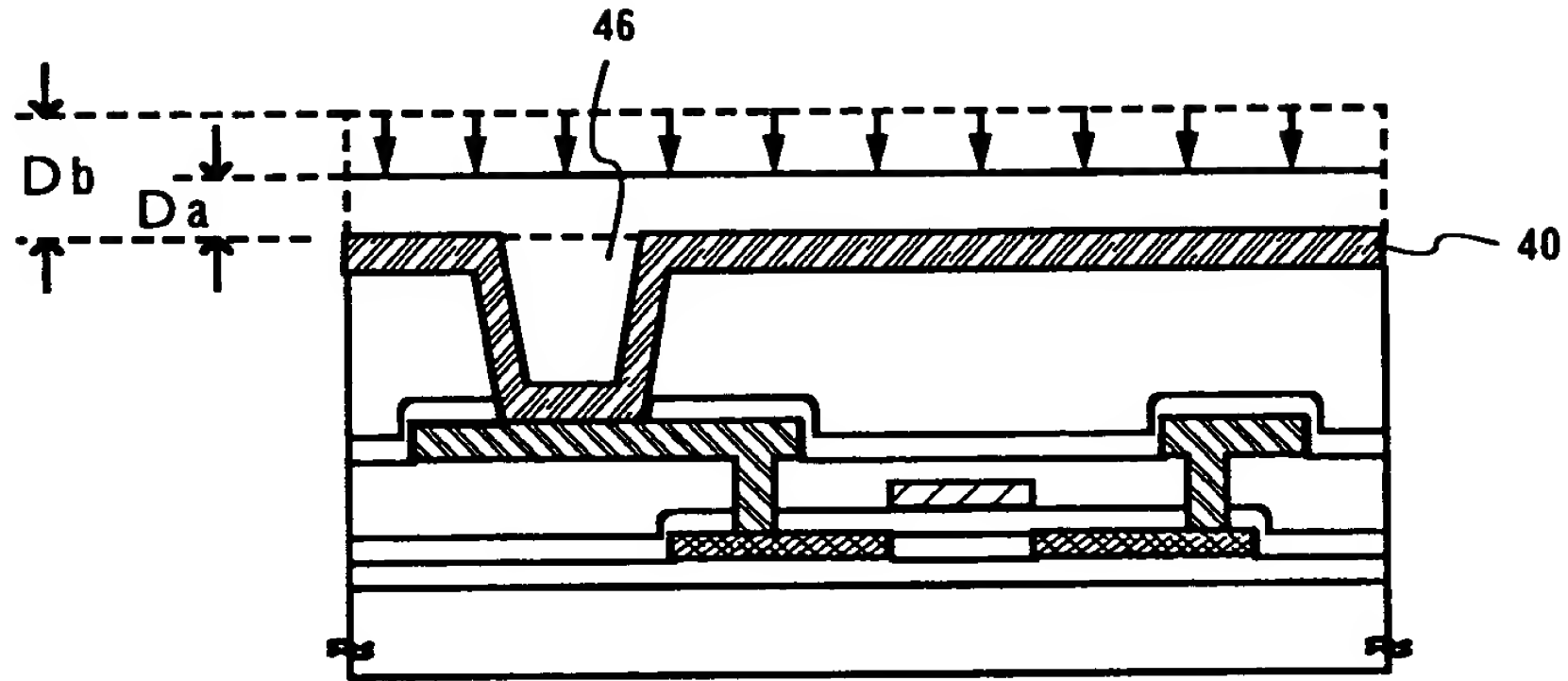


(C)

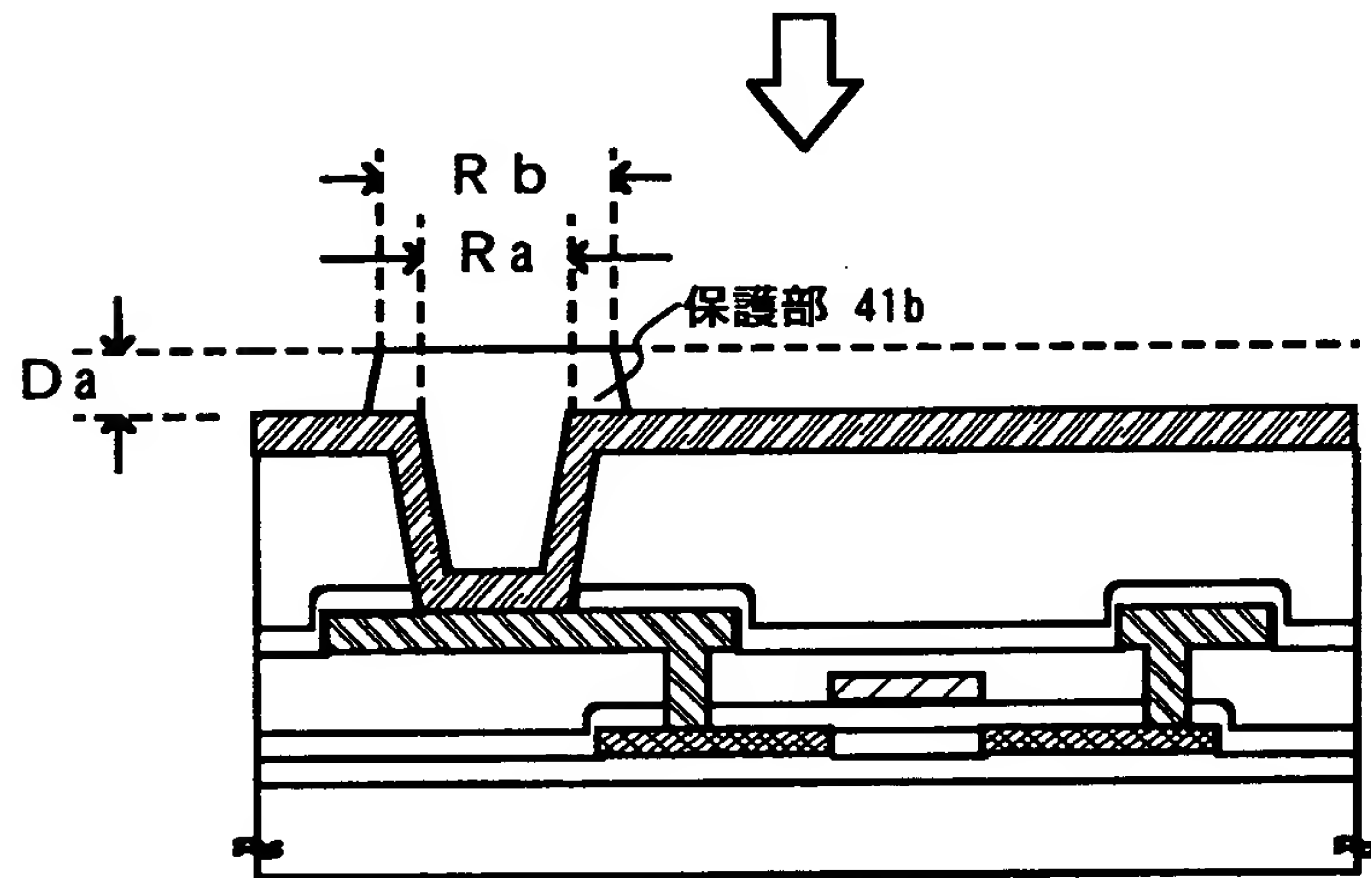


【図 5】

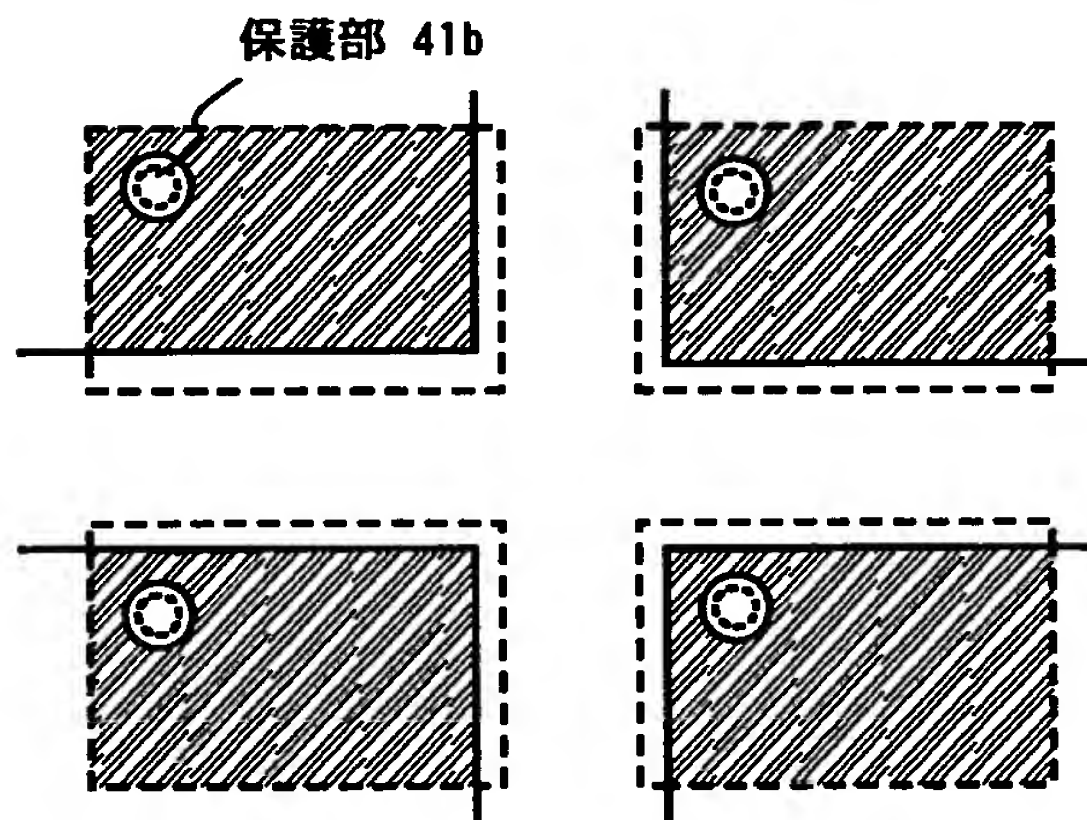
(A)



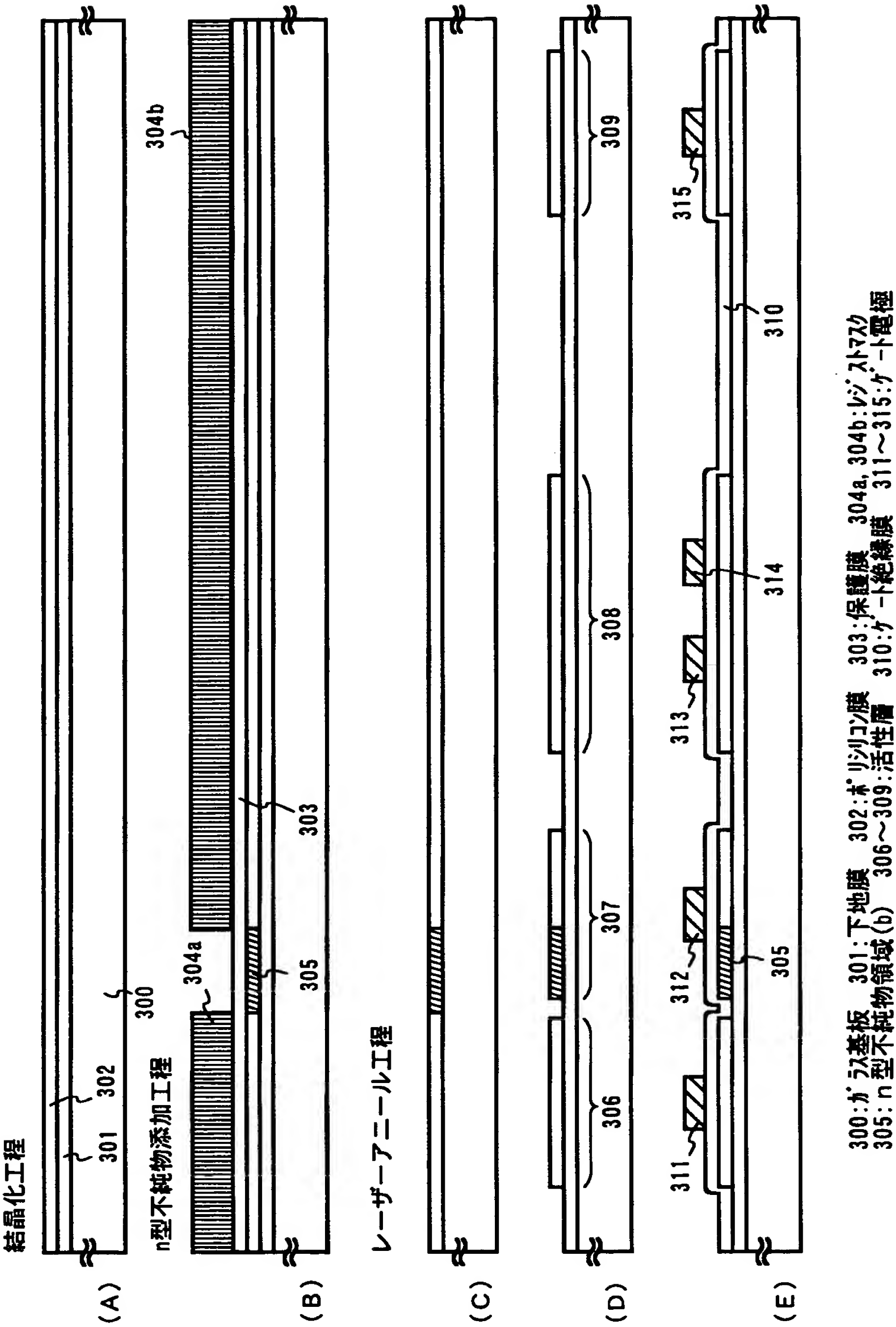
(B)



(C)

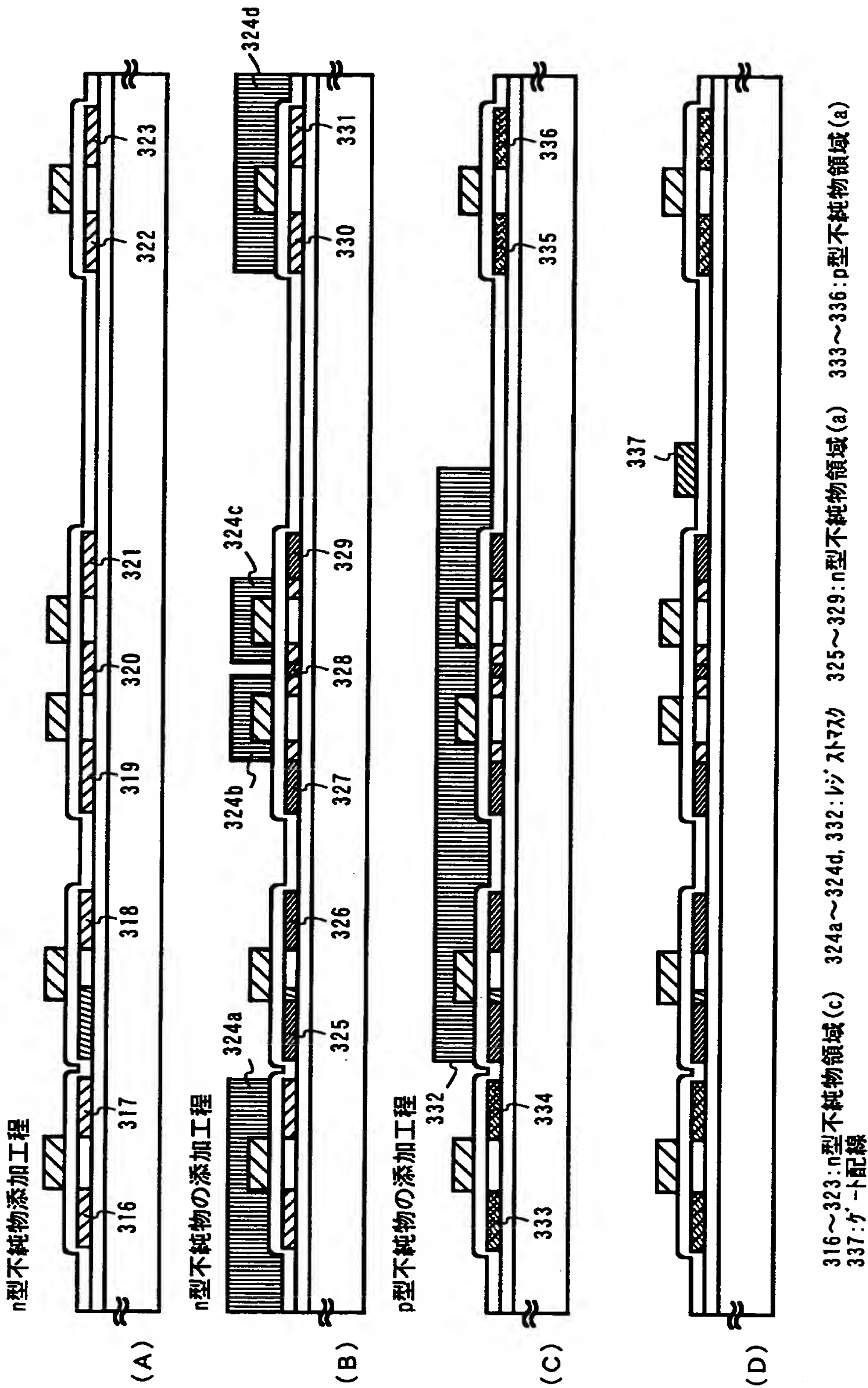


【図 6】

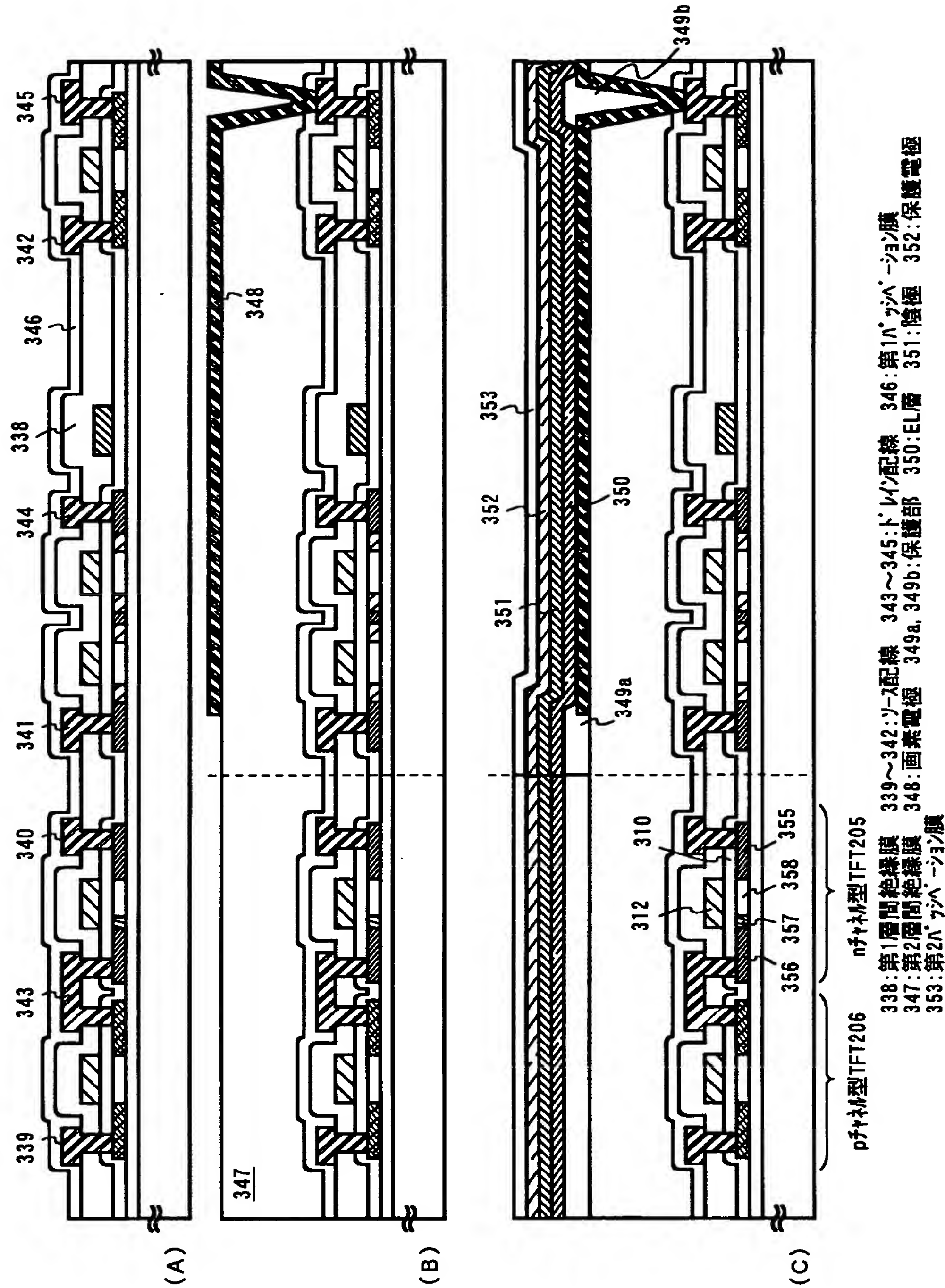




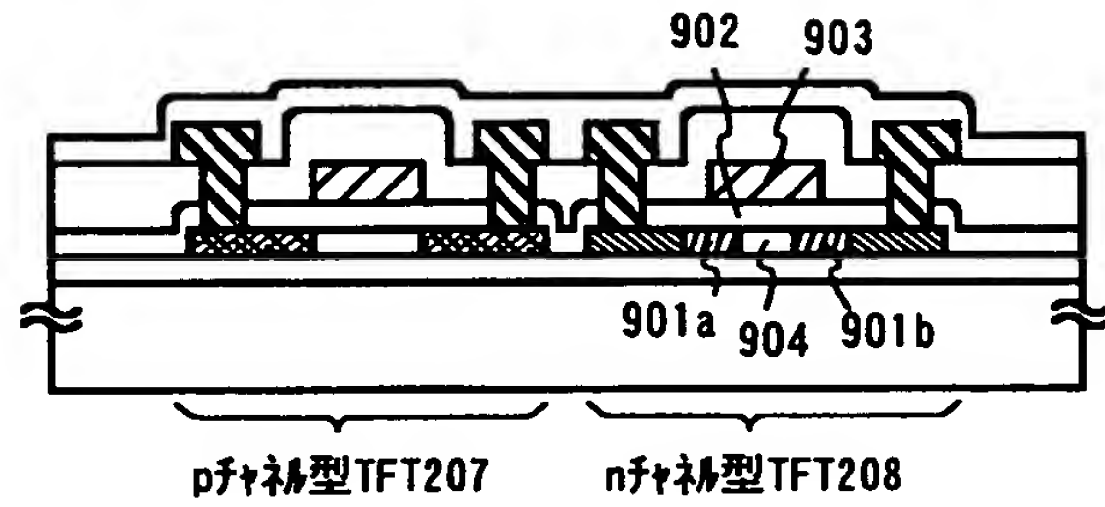
【図 7】



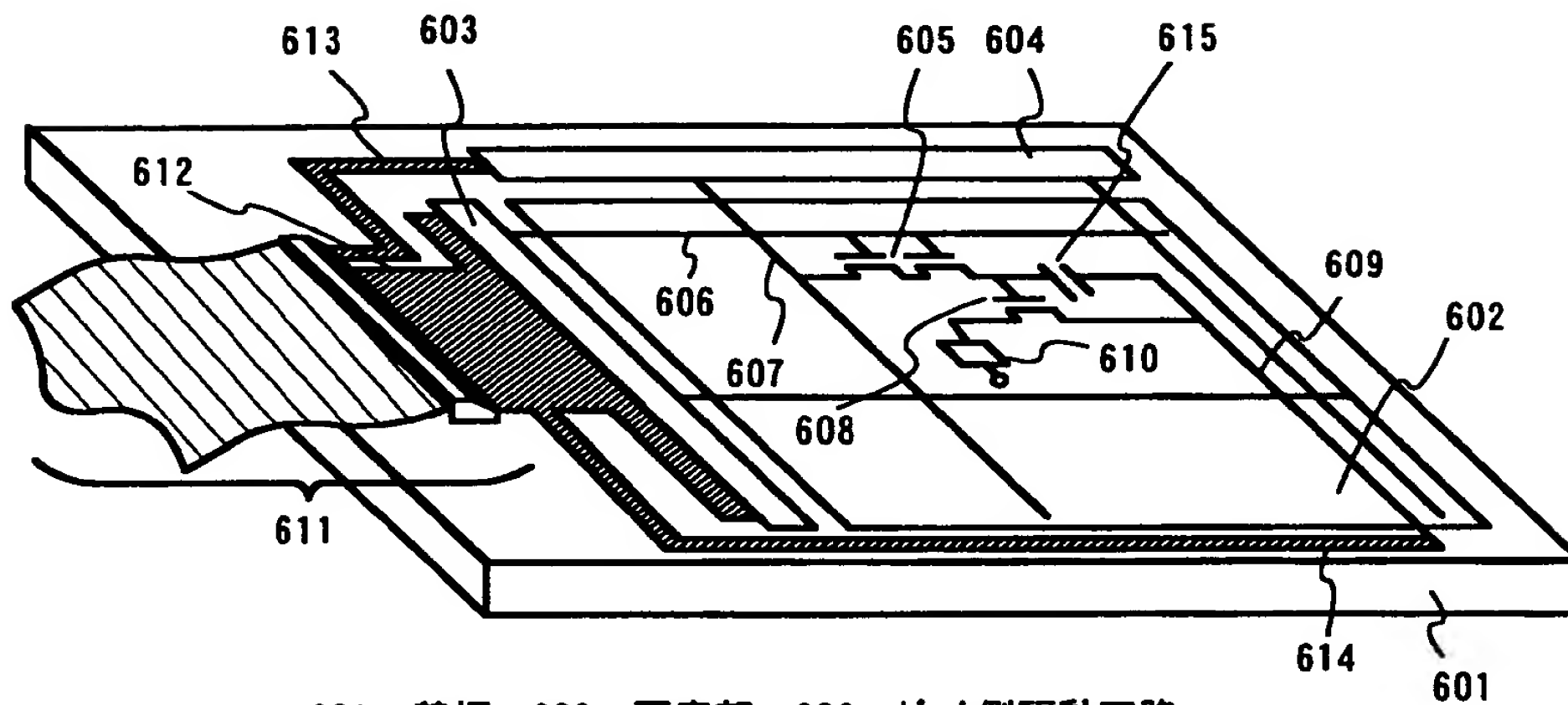
【図 8】



【図 9】

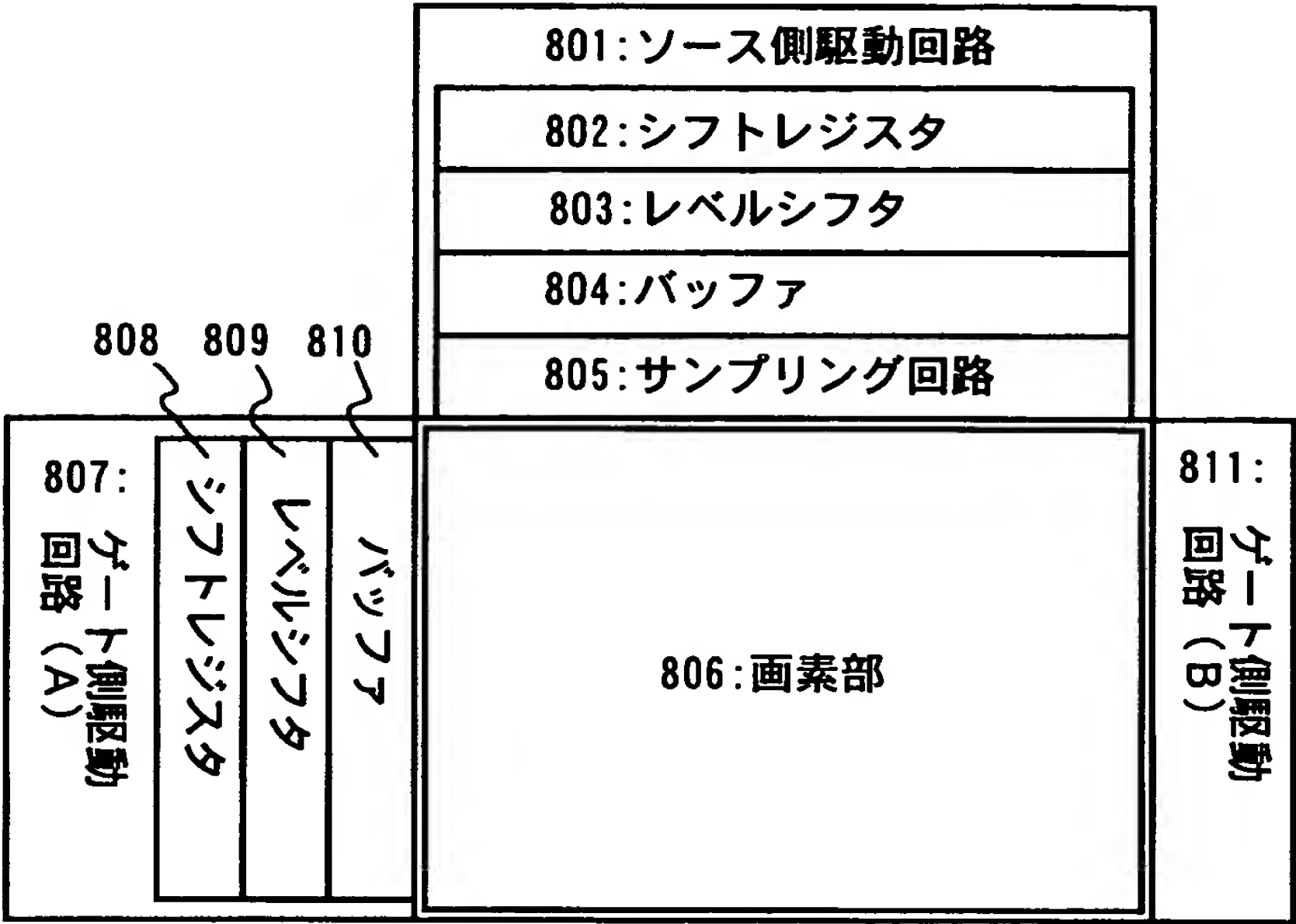


【図 1 0】

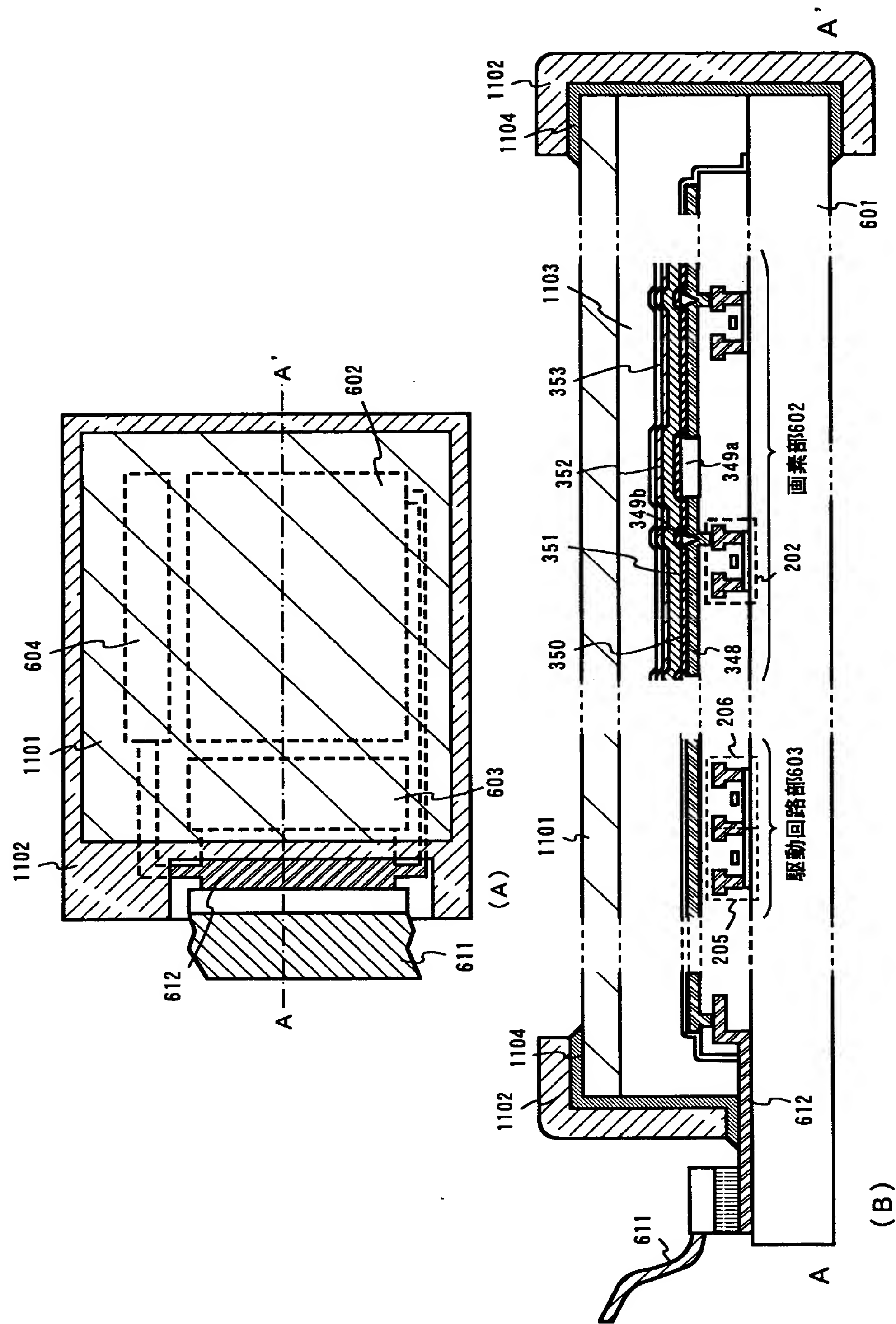


601 : 基板 602 : 画素部 603 : ゲート側駆動回路  
604 : ソース側駆動回路 605 : スイッチング用TFT 606 : ゲート配線  
607 : ソース配線 608 : 電流制御用TFT 609 : 電源供給線  
610 : EL素子 611 : FPC 612~614 : 入出力配線  
615 : コネクション

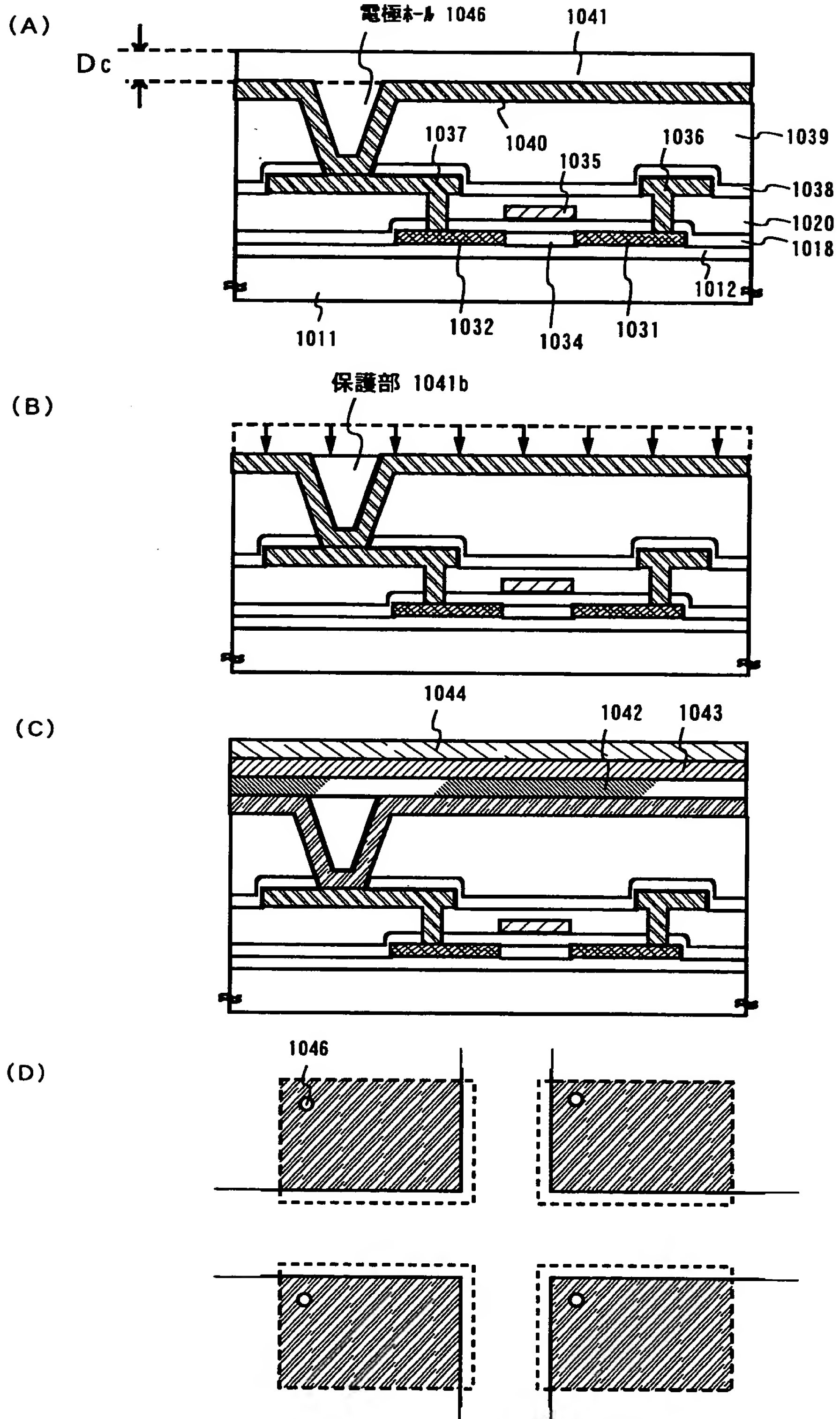
【図 1 1】



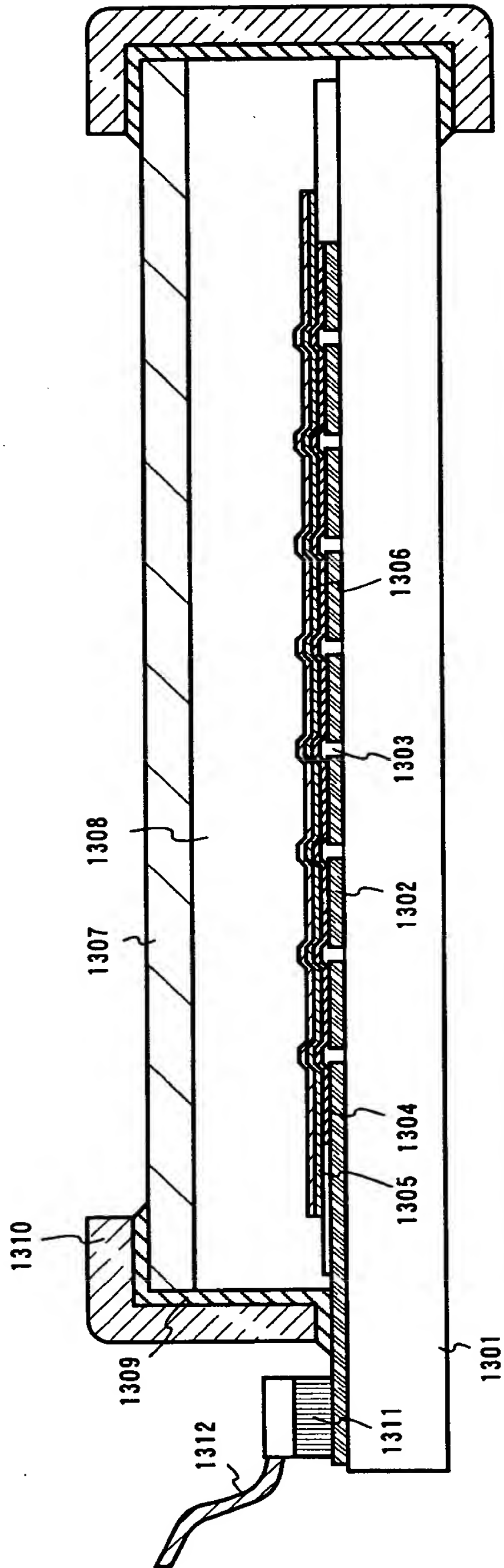
【図 1 2】



【図 1 3】

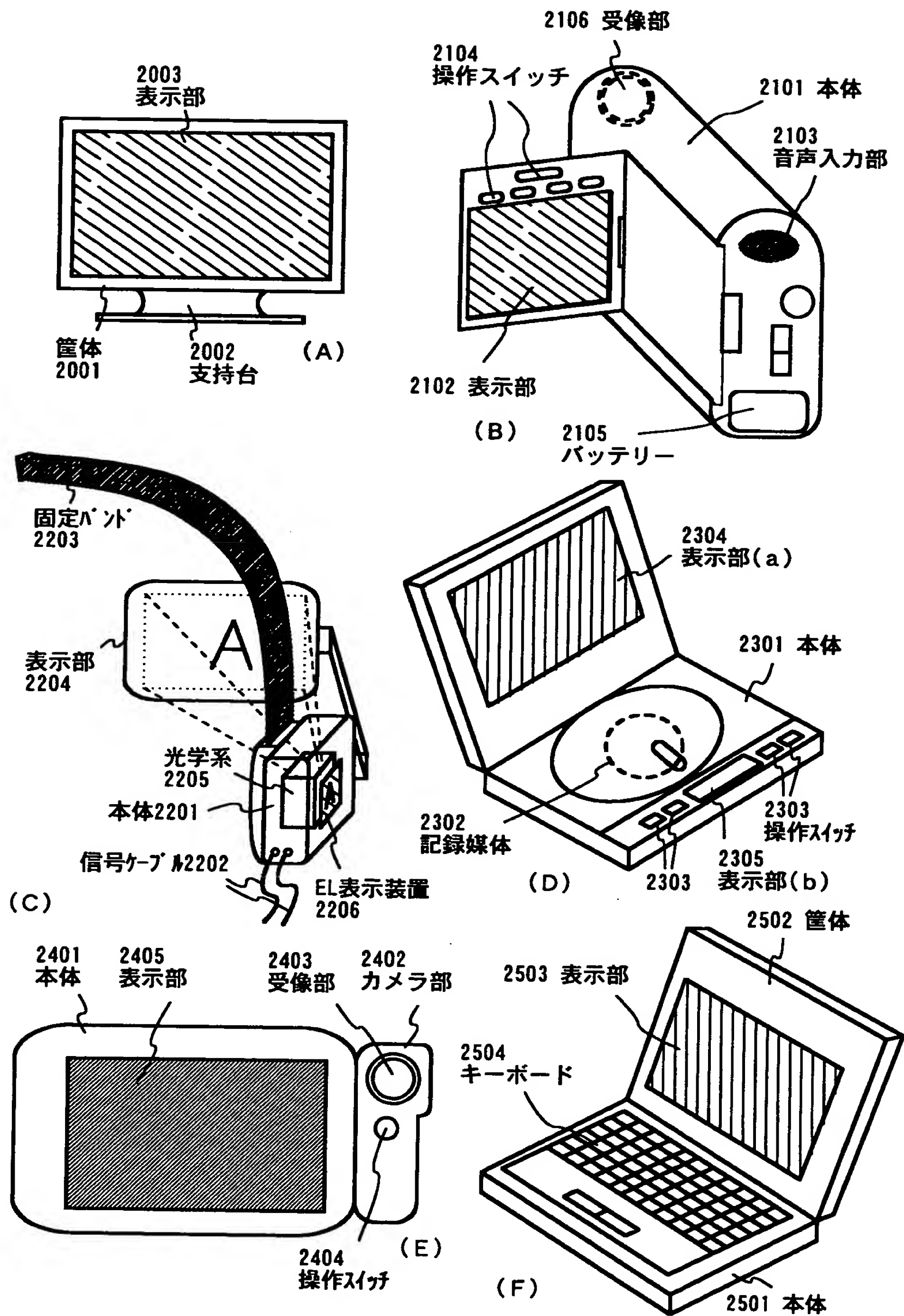


【図 1 4】

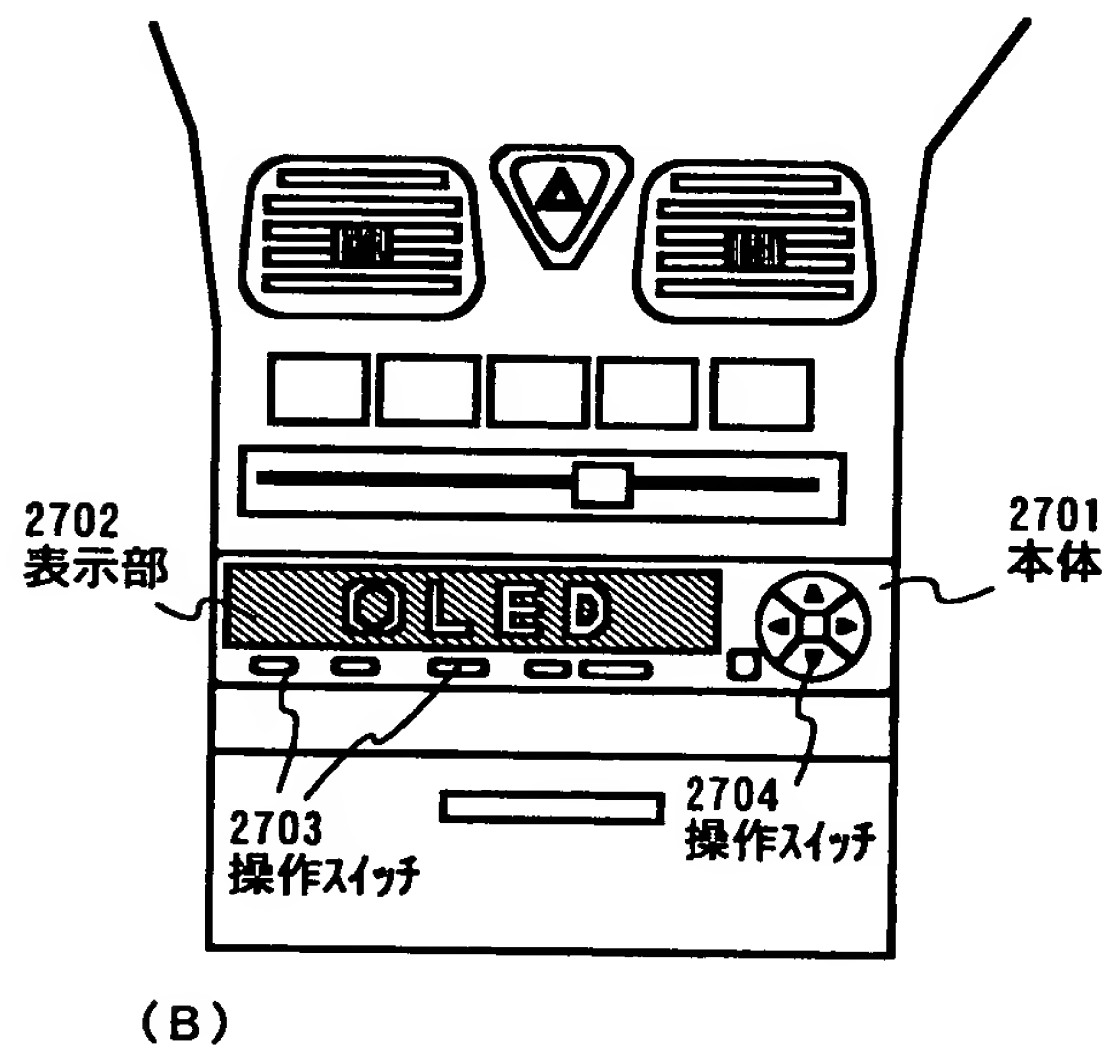
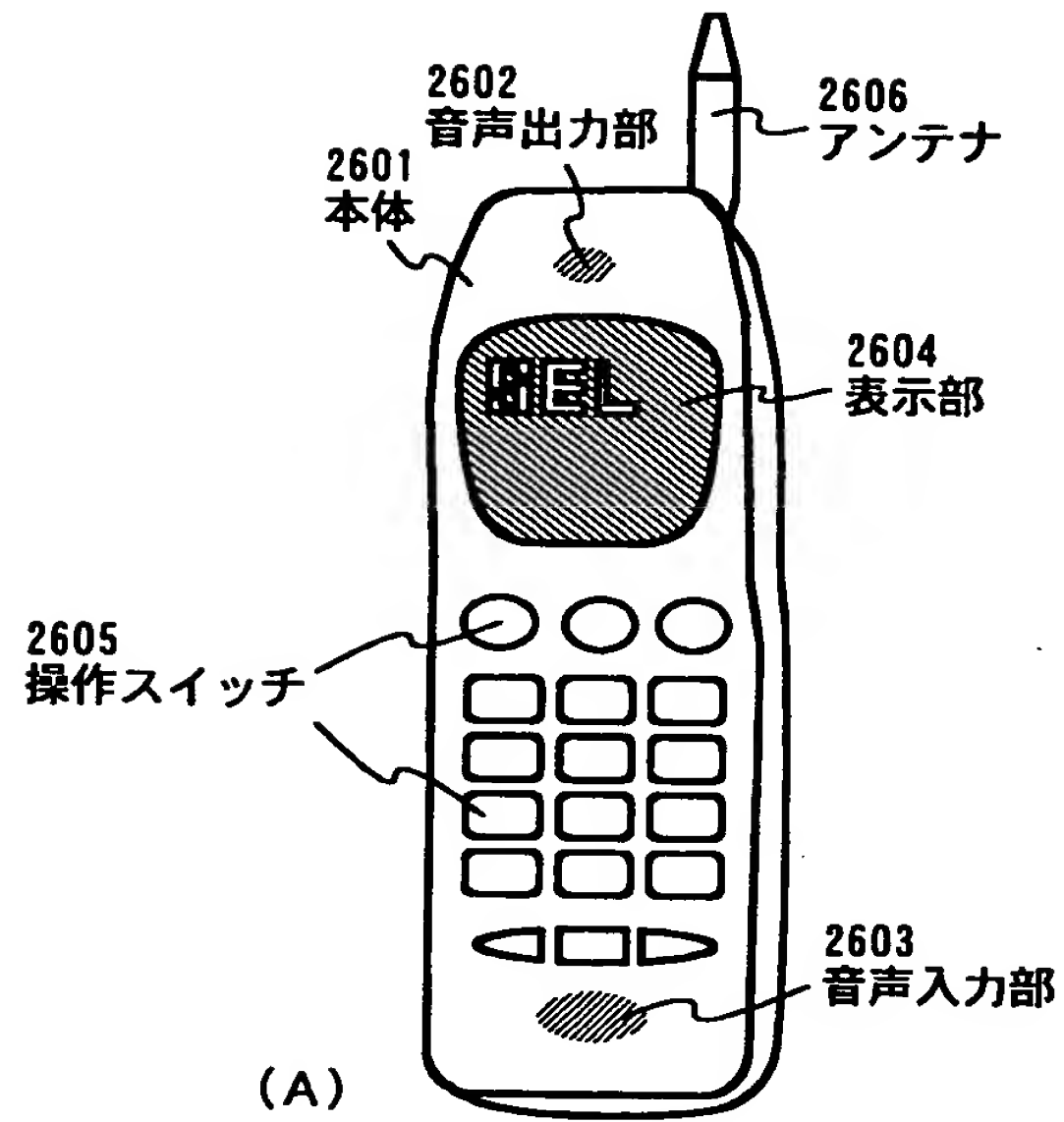




【図15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 電極ホール 4 6 における有機 E L 材料の成膜不良による E L 素子の発光不良を改善することを課題とする。

【解決手段】 上記課題を達成するために、本発明では画素電極上の電極ホール 4 6 に絶縁体を埋め込み、保護部 4 1 b を形成させた後、有機 E L 材料を成膜し、電極ホール 4 6 における成膜不良を防止した。これにより、E L 素子の陰極、陽極間が短絡して電流集中が生じるのを防ぎ、E L 層の発光不良を防ぐことが可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷 3 9 8 番地  
氏 名 株式会社半導体エネルギー研究所